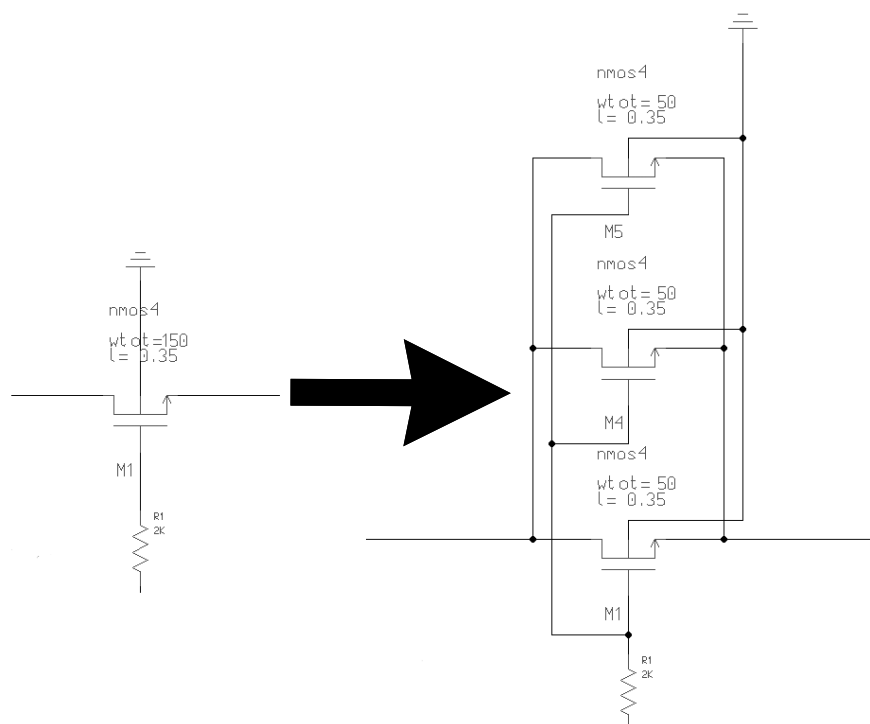


Príloha C

Vytváranie viachradlovej štruktúry MOSFET tranzistorov

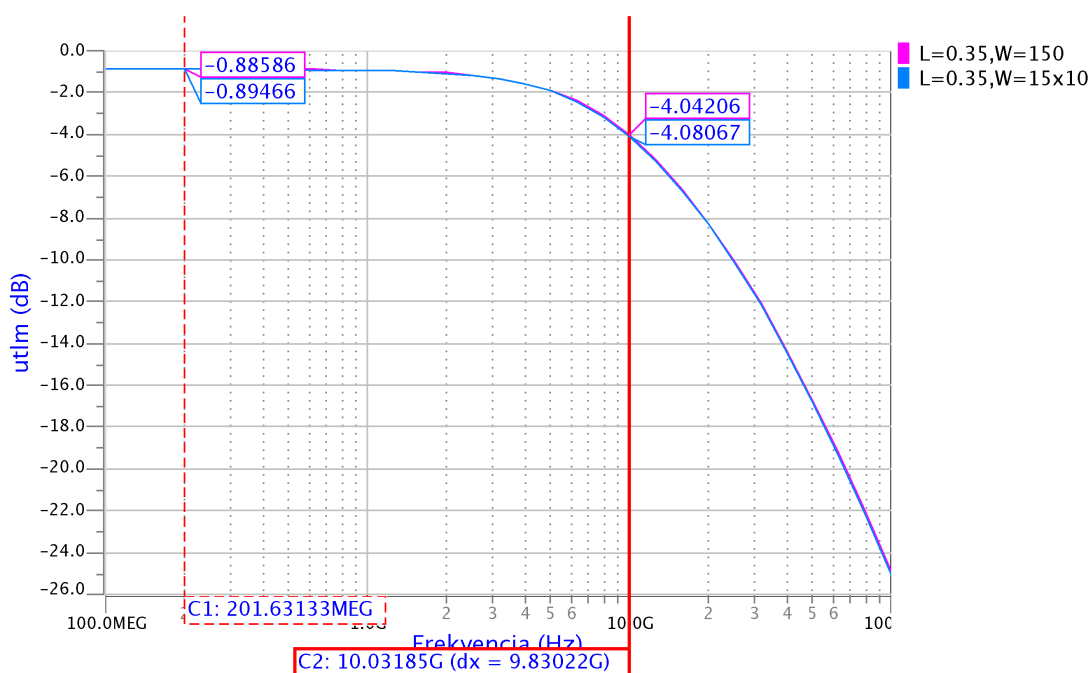
V nasledujúcom texte, je uvedený stručný postup pre vytvorenie viachradlovej štruktúry MOSFET tranzistora. Postup je uvedený pre návrhové prostredie od firmy Mentor Graphics. Nachádzame sa v prostriedku Design Architekt, v programe na kreslenie schém. Máme vložený nmos4 tranzistor s rozmermi $L \times W = 0,35 \times 150 \mu\text{m}$ obr.7–3. Tento tranzistor je nesúmerný a pomer dĺžky ku šírke je veľmi veľký, jeho návrh v layoute by bol nepraktický. Je potrebné rozdeliť tento tranzistor na viac menších tranzistorov zapojených paralelne vid' obr.7–3.



Obr. 7–3 Zmena jedného tranzistora na viactranzistorovú štruktúru zapojenú paralelne

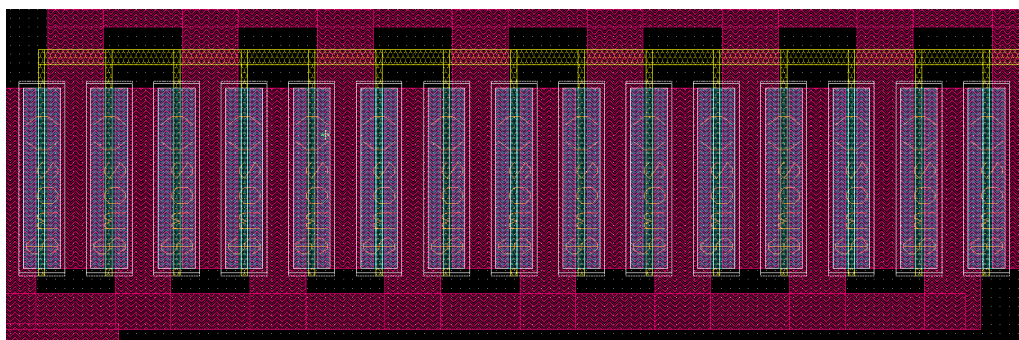
Rozdelíme celkovú šírku tranzistora na niekoľko menších tranzistorov. Pre tento prípad môžeme šírku $150 \mu\text{m}$ rozdeliť na tri tranzistory so šírkou $50 \mu\text{m}$, no najčastejšie

je používaný rozmer $0,35 \times 10 \mu\text{m}$, ktorý odporúča výrobca. Pre šírku $10 \mu\text{m}$ je potrebné použiť pätnásť tranzistorov. Na obrázku 7–4, je vidieť charakteristiku jedného tranzistora o šírke $150 \mu\text{m}$ a pätnástich tranzistorov so šírkou $10 \mu\text{m}$. Rozdiel v simulácii schémy je nepatrný.



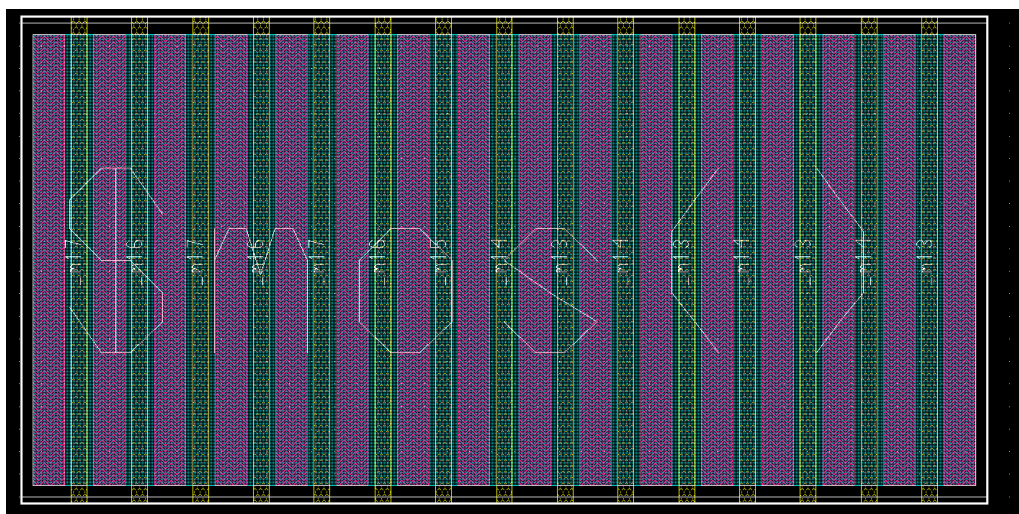
Obr. 7–4 Charakteristiky jedného tranzistora a viactranzistorovej štruktúry zapojenej paralelne s rovnakou celkovou šírkou

Ak máme takto rozdelený tranzistor a urobili sme potrebné simulácie pre návrh nášho obvodu, prejdeme do prostredia návrhu layoutu, do programu IC studio. Na obrázku 7–5, je ukážka zlej viachradlovej štruktúry. Je vidieť vložených pätnásť tranzistorov, ktoré majú difúzne plochy kolektora a emitora spojené vrstvou MET1. Táto štruktúra je nevhodná, pretože každý tranzistor má vlastné difúzne plochy a tým pádom zvýšene parazitné kapacity a rezistivitu.



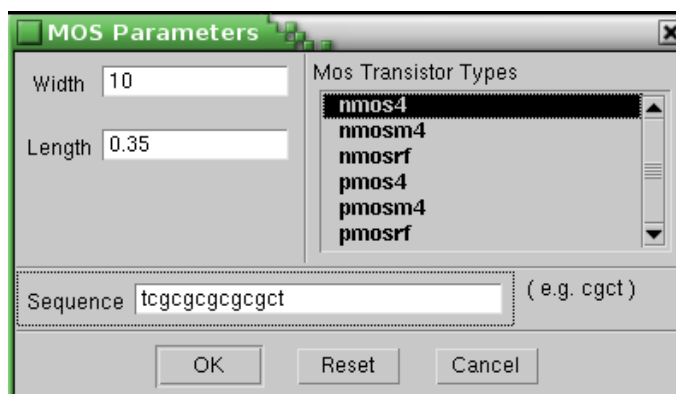
Obr. 7–5 Príklad zle usporiadanej viachradlovej štruktúry.

Vhodnú viachradlovú štruktúru vytvoríme tak, že ručne pospájame tranzistory tak, aby sa ich difúzne plochy prekryli. Inak povedané difúzna plocha emitora jedného tranzistora prekryje difúznu plochu kolektora ďalšieho tranzistora. Výsledný tvar je možné vidieť na obr.7–6.



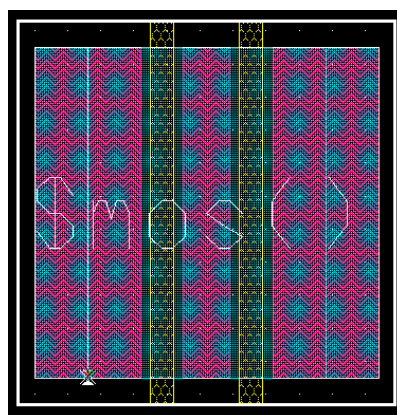
Obr. 7–6 Príklad správnej viachradlovej štruktúry

Pre zjednodušenie vytvárania viachradlovej štruktúry, je možné použiť nastavenie **Sequence** už pri vkladaní tranzistora. Pre vloženie tranzistora zvolíme možnosť **HIT-Kit Utilities** → **AMS Devices**. Vľavo na obrazovke sa zobrazia prvky ktoré môžeme vložiť, vyberieme tranzistor **MOS**. Zobrazí sa okno v ktorom môžeme zvoliť typ MOSFET tranzistora, jeho rozmery a parameter **Sequence**. Okno z nastaveniami je zobrazené na obr.7–7.



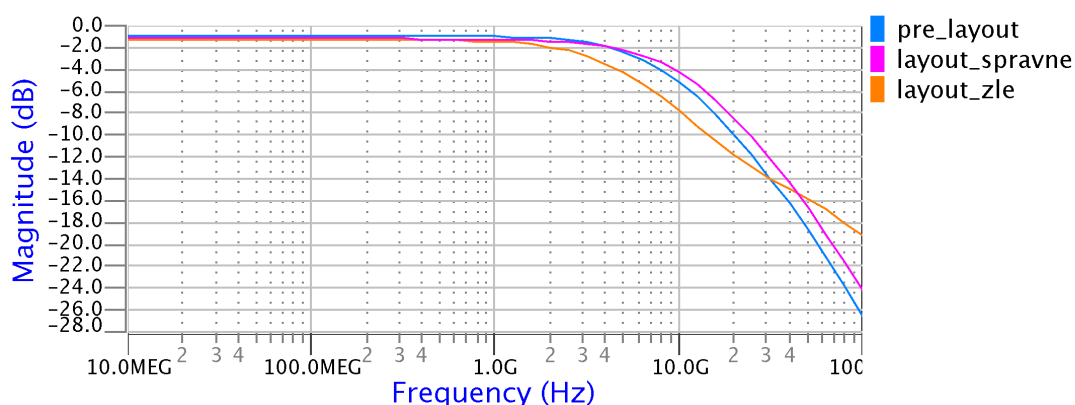
Obr. 7–7 Okno pre nastavenie a vloženie tranzistorov

Zvolíme si typ tranzistora nmos4. V okne nastavíme rozmery tranzistora **Width** a **Length**—>šírku a dĺžku. Parametrom **Sequence** nastavíme počet hradiel. V poli **Sequence** je vidieť sekvenciu písmen. Písmeno **t** znamená pripojenie substrátu, písmeno **g** znamená hradlo a písmeno **c** znamená prepojenie difúznej plochy z vrstvou MET1, jednoducho kolektor(emitor). Ak zvolíme sekvenciu písmen **tcgcgct**, program vloží plochu pripájajúcu substrát|difúznu plochu|hradlo|difúznu plochu|hradlo|difúznu plochu|substrát. Na obr.7–8 je zobrazená takáto štruktúra. Program vkladá tranzistory o zadaných rozmeroch teda ak nastavíme šírku $10\mu\text{m}$ a zvolíme sekvenciu dvoch tranzistorov, tak vloží dva tranzistory o šírke $10\mu\text{m}$ spojené jednou difúznou plochou.



Obr. 7–8 Príklad usporiadania tranzistora podľa sekvencie **tcgcgct**

Počet paralelne pospájaných tranzistorov v návrhu schémy musí byť rovnaký s počtom dielčích tranzistorov vytvárajúci viachradlovú štruktúru v layoute. Tak isto aj rozmery tranzistorov musia byť rovnaké. Ak sedí počet aj rozmery program kontrolujúci schému s layoutom (LVS) vyhlási že je všetko v poriadku. Na obr.7–9,sú zobrazené charakteristiky zo simulácie viachradlovej štruktúry. Bola simulovaná paralelná štruktúra tranzistorov z návrhu schémy, zlá viachradlová štruktúra v layoute a správna viachradlová štruktúra v layoute. Je vidieť zlepšenie v layoute v rámci šírky pásma. Je to preto, že v schéme sa simulujú paralelne zapojené tranzistory a každý jeden sa berie ako osobitný prvok. V layoute majú tranzistory vo viachradlovej štruktúre prepojené difúzne oblasti, čo znamená, že je ich menej a to znižuje celkovú styčnú kapacitu.



Obr. 7–9 Výsledná charakteristika zobrazujúca rozdiel medzi viac tranzistorovými štruktúrami.