

# Elektronické systémy na báze obvodov FPGA

2004/2005

Pavol Galajda, KEMT, FEI, TUKE

Pavol.Galajda@tuke.sk

# 1 Úvod do ASIC- teoretický základ

---

- 1.1 Základné pojmy
- 1.2 Historický vývoj a rozdelenie IO
- 1.3 Typy PLD obvodov
  - SPLD
  - CPLD
  - FPGA
- 1.4 Ekonomické aspekty
  - Porovnanie ASIC technológií
- 1.5 ASIC verzus FPGA – migrácia, prechod ku ASIC

# 2 Metodika návrhu PLD

- 2.1 Činnosť pred započatím návrhu
- 2.2 Rozdelenie CAD nástrojov
- 2.3 Modely pre metódy návrhu systémov
  - metóda „vodopád“
  - metóda „špirála“
- 2.4 Etapy návrhu číslicových systémov s obvody FPD

# 3 Klasifikácia PLD z hľadiska technológie výroby

---

- 3.1 FUSE
- 3.2 EPROM a EEPROM
- 3.3 SRAM
- 3.4 ANTIFUSE
- 3.5 FLASH

# 4 Architektúry a typy číslicových obvodov SPLD

---

- 4.1 Úvod do PLD (Programmable Logic Device)
- 4.2 Obvody PLA (Programmable Logic Array)
- 4.3 Obvody PAL (Programmable Array Logic)
- 4.4 Obvody GAL (Generic Array Logic)

# 4.1 Úvod do obvodov PLD

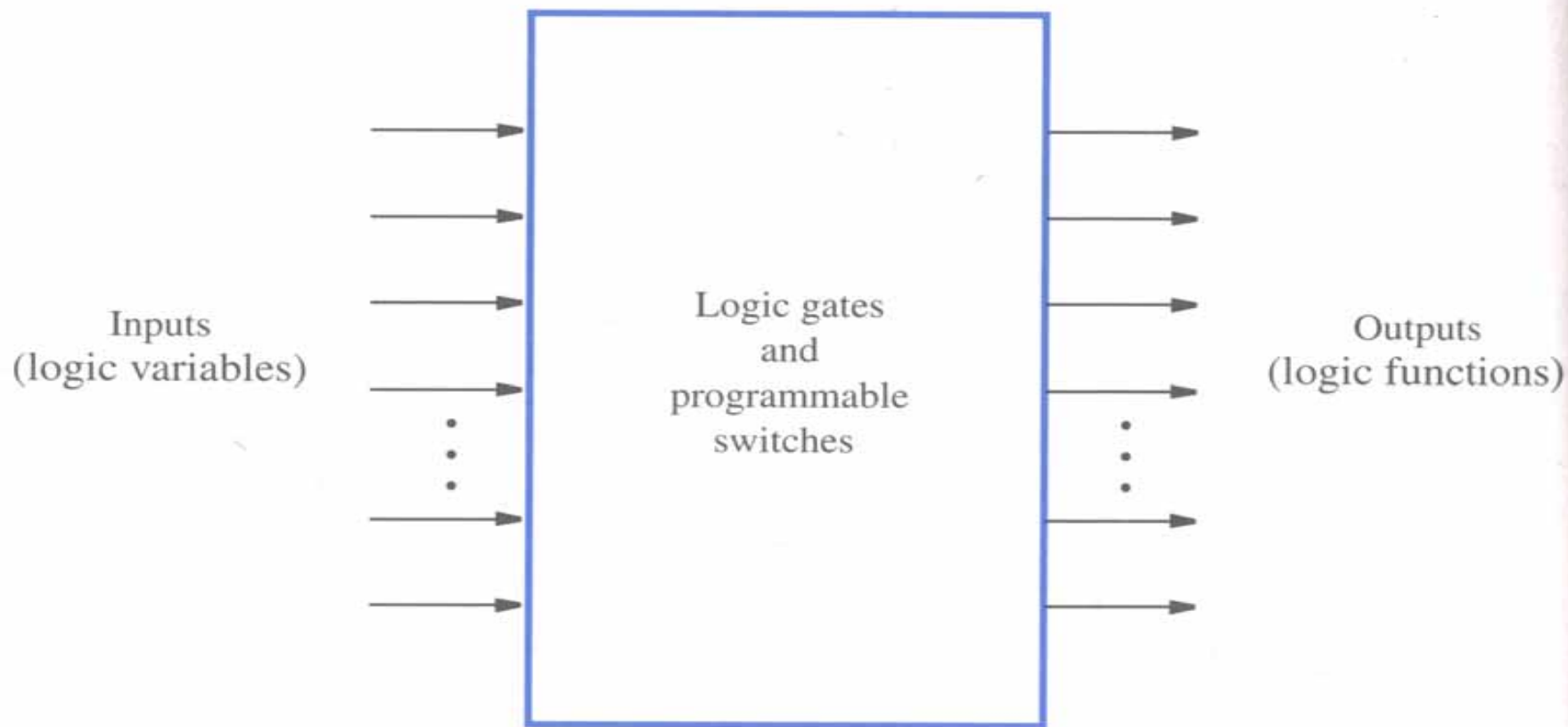
Hlavný komerčný výrobcovia sú uvedení v Tab. Obvody tejto kategórie sú charakteristické/ zaujímavé:

- veľmi rýchle,
- lacné.

Manufacturer	SPLD Products	WWW Locator
Altera	Classic	<a href="http://www.altera.com">http://www.altera.com</a>
Atmel	PAL	<a href="http://www.atmel.com">http://www.atmel.com</a>
Cypress	PAL	<a href="http://www.cypress.com">http://www.cypress.com</a>
Lattice	ispGAL	<a href="http://www.latticesemi.com">http://www.latticesemi.com</a>

## 4.2 Obvody PLA

Všeobecná štruktúra PLA obvodov je na Obr. Na základe toho, že každú logickú funkciu môžeme vyjadriť v tvare súčtu súčinov premenných, PLA sa skladá zo súboru (poľa/ matice) AND hradiel, ktoré sa pripájajú k súboru (poľu/ matici) OR hradiel.

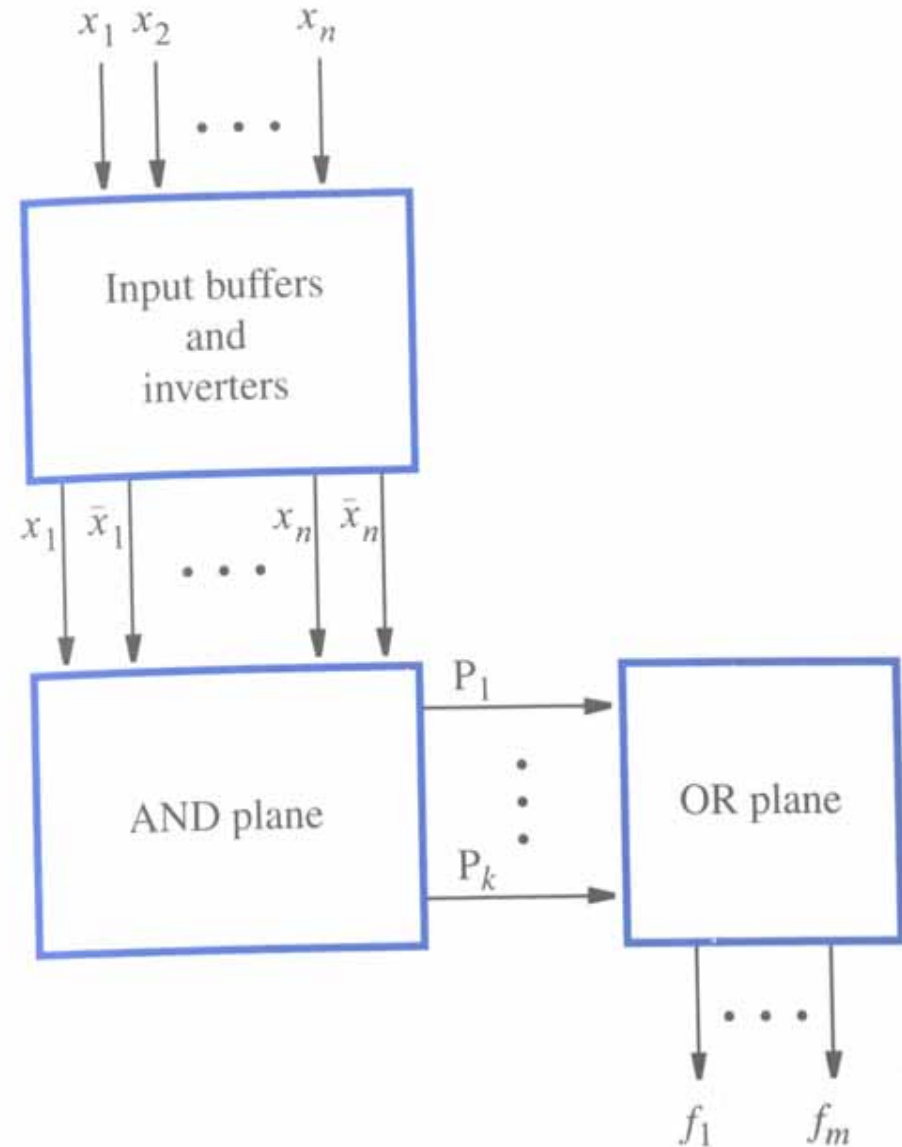


## 4.2 Obvody PLA

Ako vidieť z Obr. vstupné premenné prechádzajú cez prechodovú pamäť, ktorá vytvárajú doplnky vstupných premenných.

Tie vstupujú do bloku- *pole hradiel AND*, ktoré vytvára súčin týchto premenných.

Tie ďalej slúžia ako vstupy do *poľa hradiel OR*, ktoré nakoniec vytvára výsledne požadované funkcie.

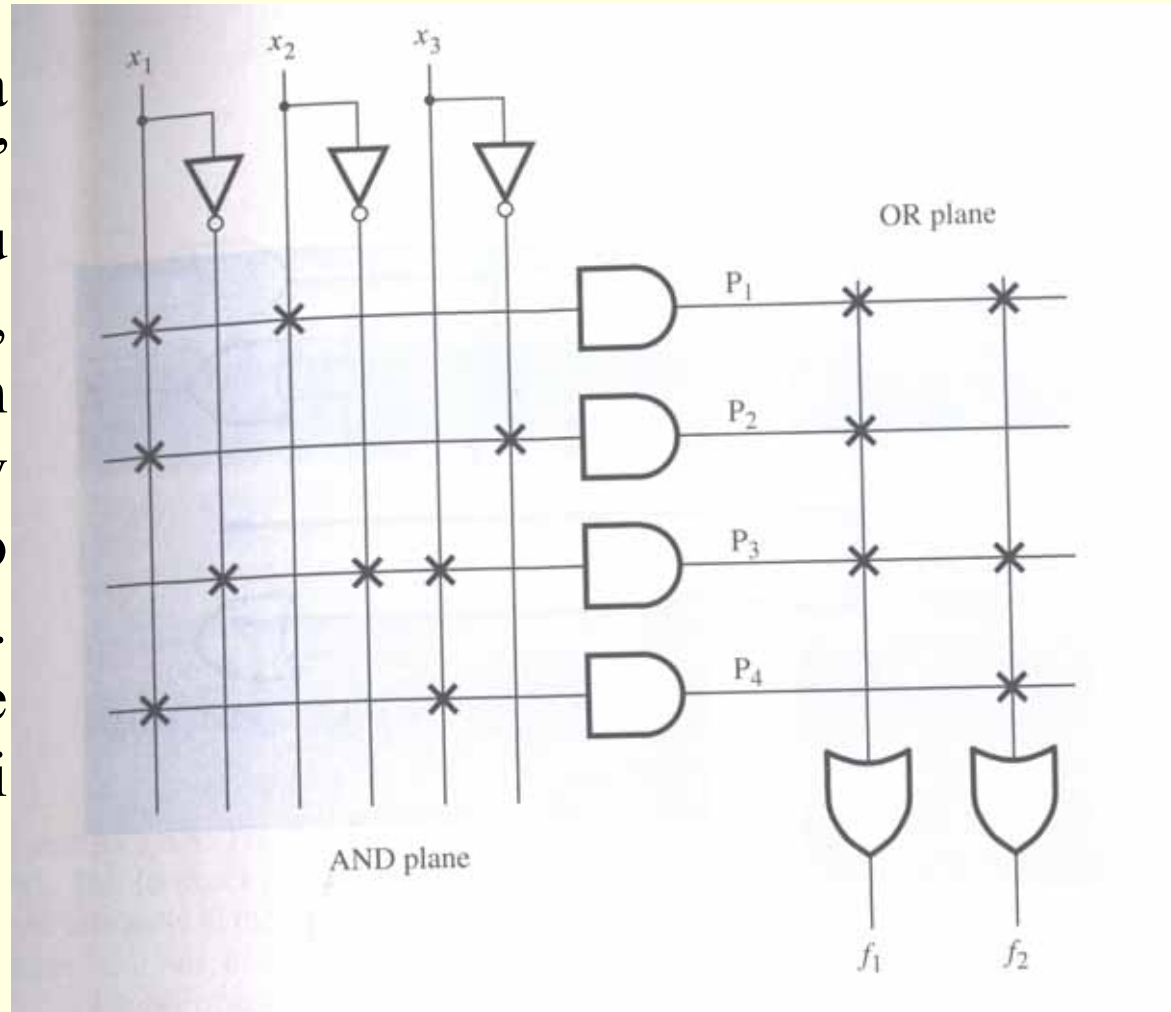




## 4.2 Obvody PLA

Obvody tejto kategórie sú charakteristické nasledovnou vnútornou štruktúrou. Každá vodorovná čiara v programovateľnej matici AND predstavuje vždy jedno súčtové hradlo.

Na vstupy každého hradla môžeme pripojiť „ľubovoľnú“ kombináciu vstupných signálov, spätných väzieb a ich negácií. Počet vstupov každého súčtového hradla je však obmedzený. Podobne to platí aj pre hradlo OR s vertikálnymi čiarami.



## 4.3 Obvody PAL

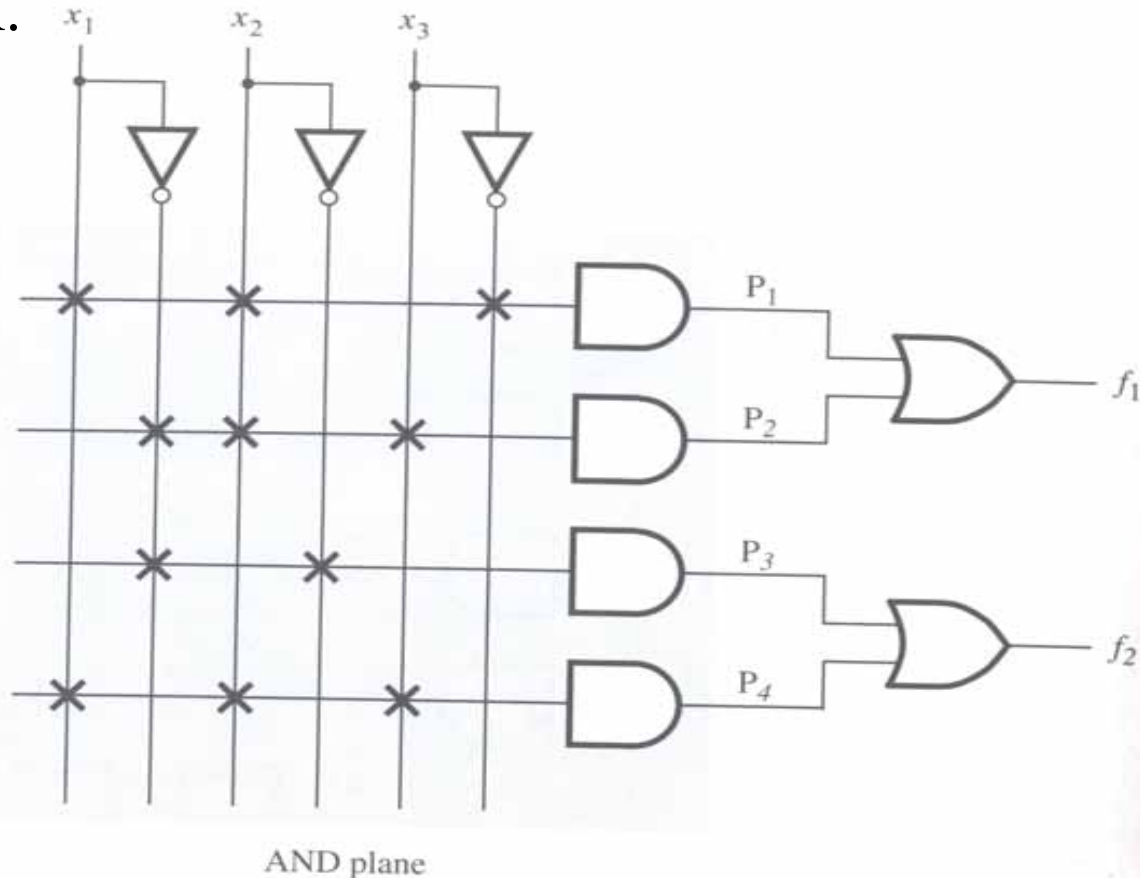
V obvodech PLA- aj pole AND aj pole OR hradiel je programovateľné. Programovateľné spínače však predstavujú pre výrobcov týchto obvodov problémy:

- je ich pomerne ťažko vyrobiť (bezchybne),
- znižujú rýchlosť PLA.

Tento nedostatok viedol k vývoju podobných obvodov, v ktorých pole AND je programovateľné, ale pole OR hradiel je pevné – **PAL** (Obr.).

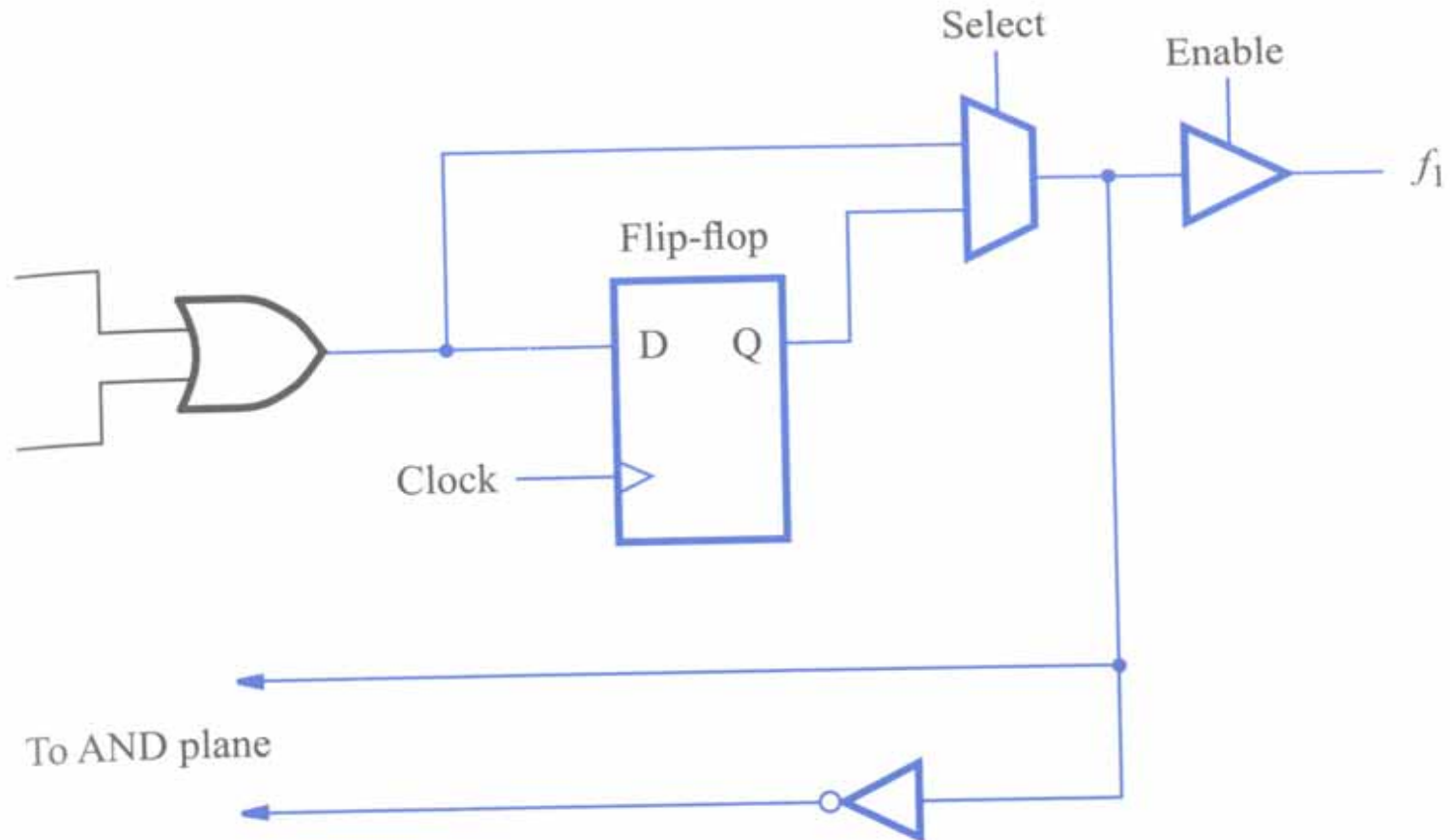
- jednoduchšie z pohľadu výroby,
- lacnejšie.

17. 3. 2005



## 4.3 Obvody PAL

V mnohých obvodoch PAL sú k výstupom OR hradiel pripojené dodatočné obvody- *makrobunky*, ktoré poskytujú dodatočnú flexibilitu (Obr.). KO- predstavuje pamäť (na hodinový signál pri prechode z logickej hodnoty 0 do 1).



## 4.3 Obvody PAL

Príklad komerčne vyrábaného obvodu PAL (Advanced Micro Devices- AMD) 22V10 je na Obr. Číslo: NNXOO- S:

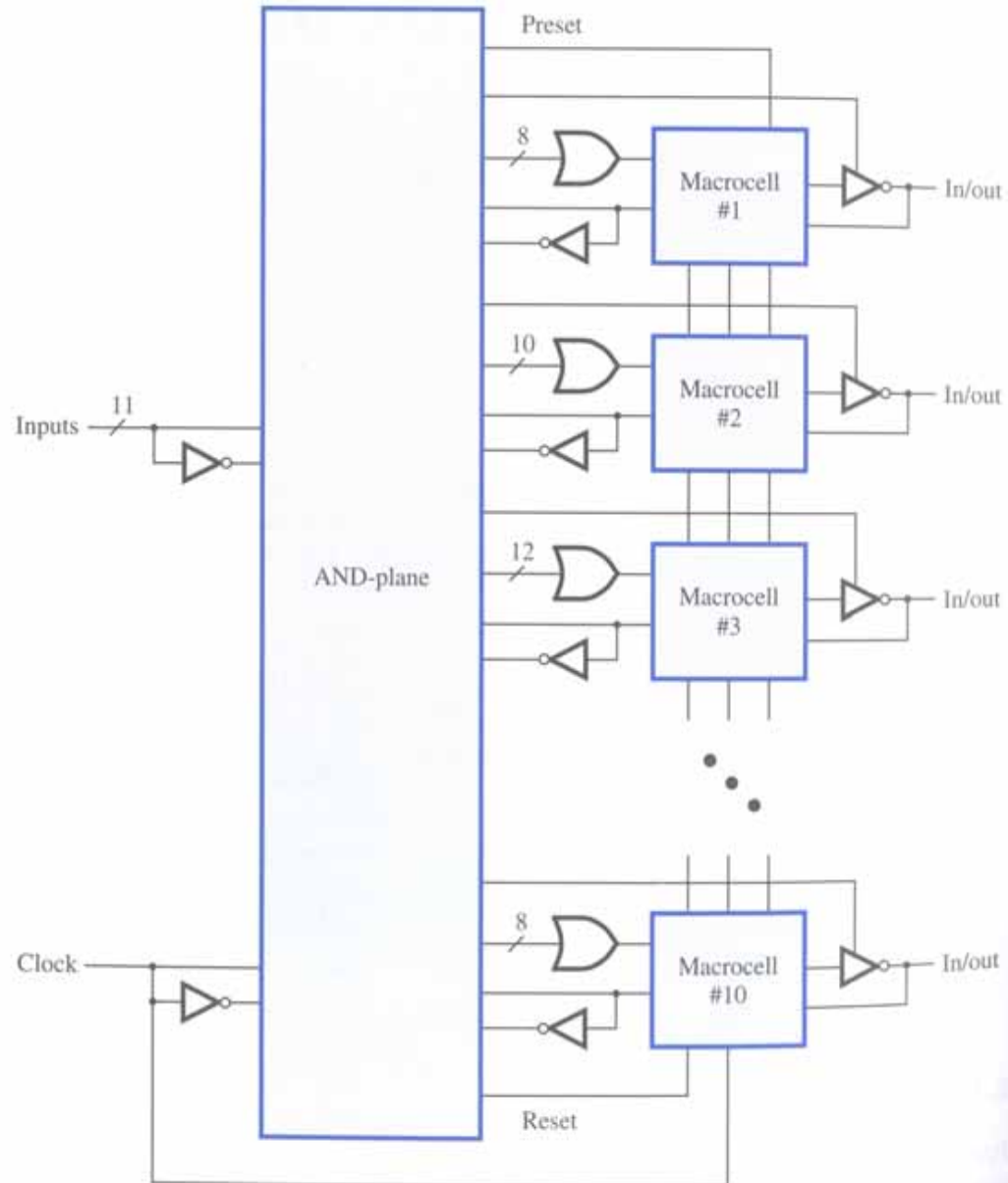
- NN- celkový počet vstupov a výstupov
- X- napr. obsahuje KO, ..
- OO- počet výstupov
- S- rýchlosť

12- priradených vstupov

10- vstupov/ výstupov

OR hradla majú rôzny počet vstupov (8- 16)

17. 3. 2005

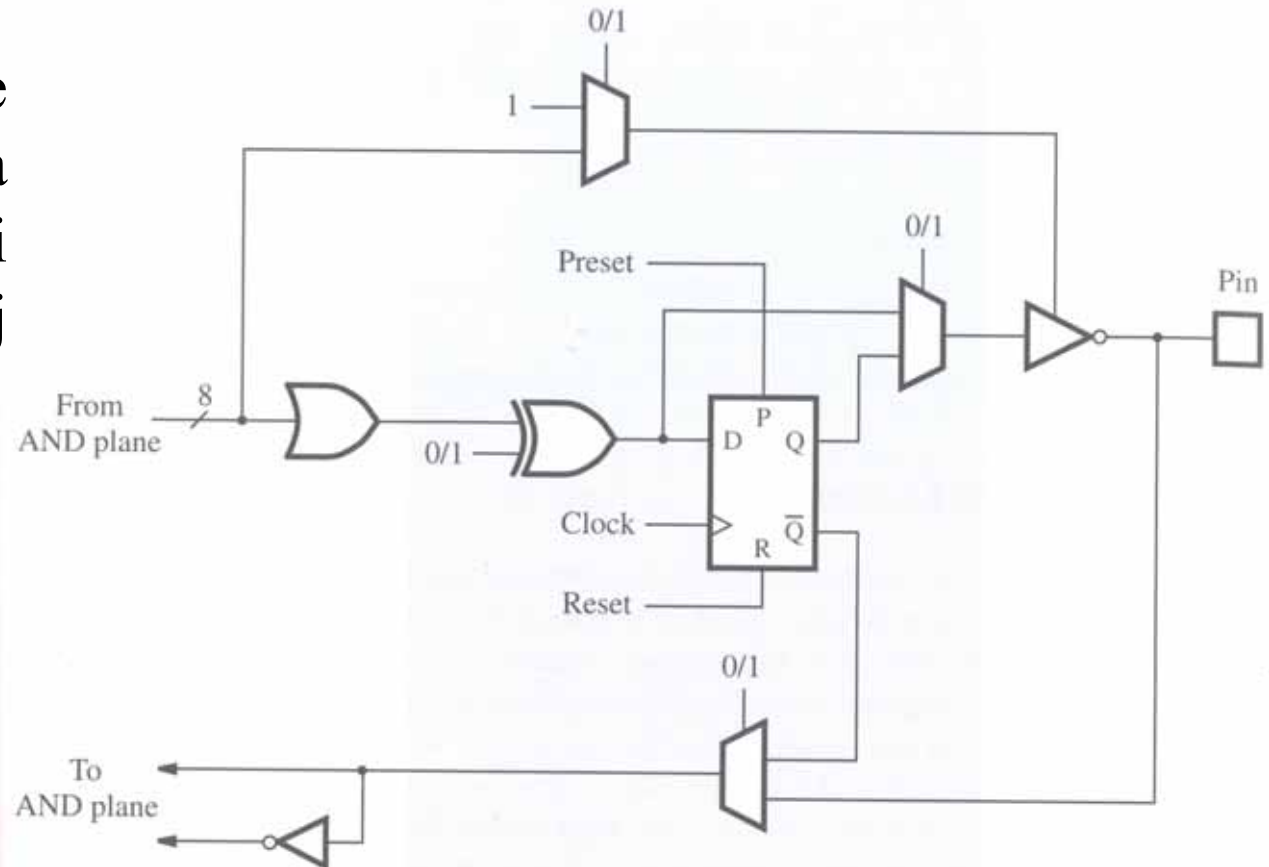


## 4.3 Obvody PAL

V mnohých obvodoch PAL sú k výstupom OR hradiel pripojené dodatočné obvody- makrobunky, ktoré poskytujú dodatočnú flexibilitu (Obr.). **XOR hradlo** zabezpečuje programovateľným vstupom (0 alebo 1) doplnok výstupu z OR hradla a pripája ho k D-KO. Multiplexer zabezpečuje premostenie KO.

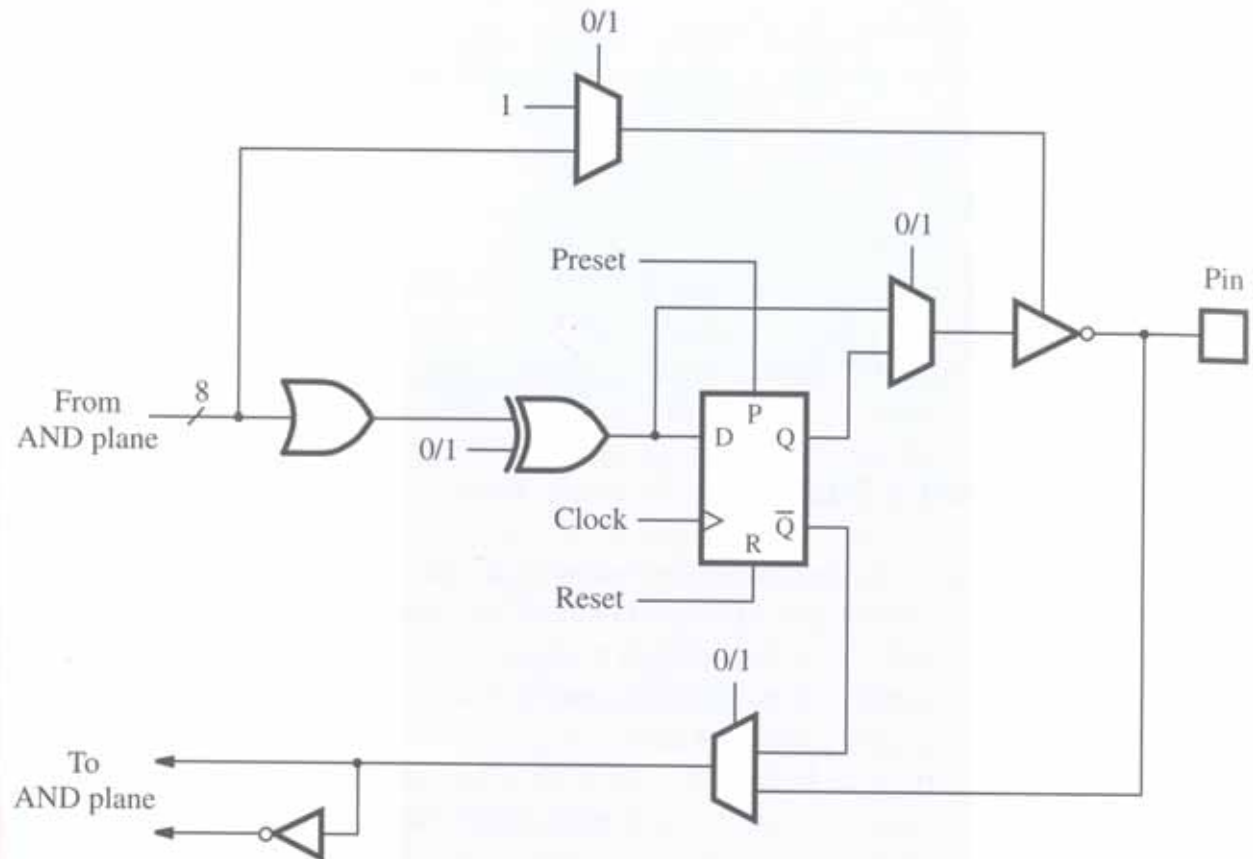
**KO-** predstavuje pamäť (aktívna na hodinový signál pri prechode z logickej hodnoty 0 do 1).

**Trojstavový buffer**



## 4.3 Obvody PAL

V mnohých obvodoch PAL sú k výstupom OR hradiel pripojené dodatočné obvody- *makrobunky*, ktoré poskytujú dodatočnú flexibilitu (Obr.). KO- predstavuje pamäť (na hodinový signál pri prechode z logickej hodnoty 0 do 1).



# 5 Architektúry a typy číslicových obvodov CPLD

---

- 5.1 Lattice pLSI a ispLSI
- 5.2 MAX 7000 CPLD (Multiple Array matrix, Altera)
- 5.3 Xilinx XC 7000

# 5 Architektúry a typy číslicových obvodov CPLD

Hlavný komerčný výrobcovia sú uvedení v Tab.

Manufacturer	CPLD Products	WWW Locator
Altera	MAX 3000, 7000, and 9000, and MAX II	<a href="http://www.altera.com">http://www.altera.com</a>
Atmel	ATF	<a href="http://www.atmel.com">http://www.atmel.com</a>
Cypress	Delta39K, FLASH370, Ultra37000	<a href="http://www.cypress.com">http://www.cypress.com</a>
Lattice	ispLSI, ispMACH	<a href="http://www.latticesemi.com">http://www.latticesemi.com</a>
Xilinx	XC9500, CoolRunner	<a href="http://www.xilinx.com">http://www.xilinx.com</a>

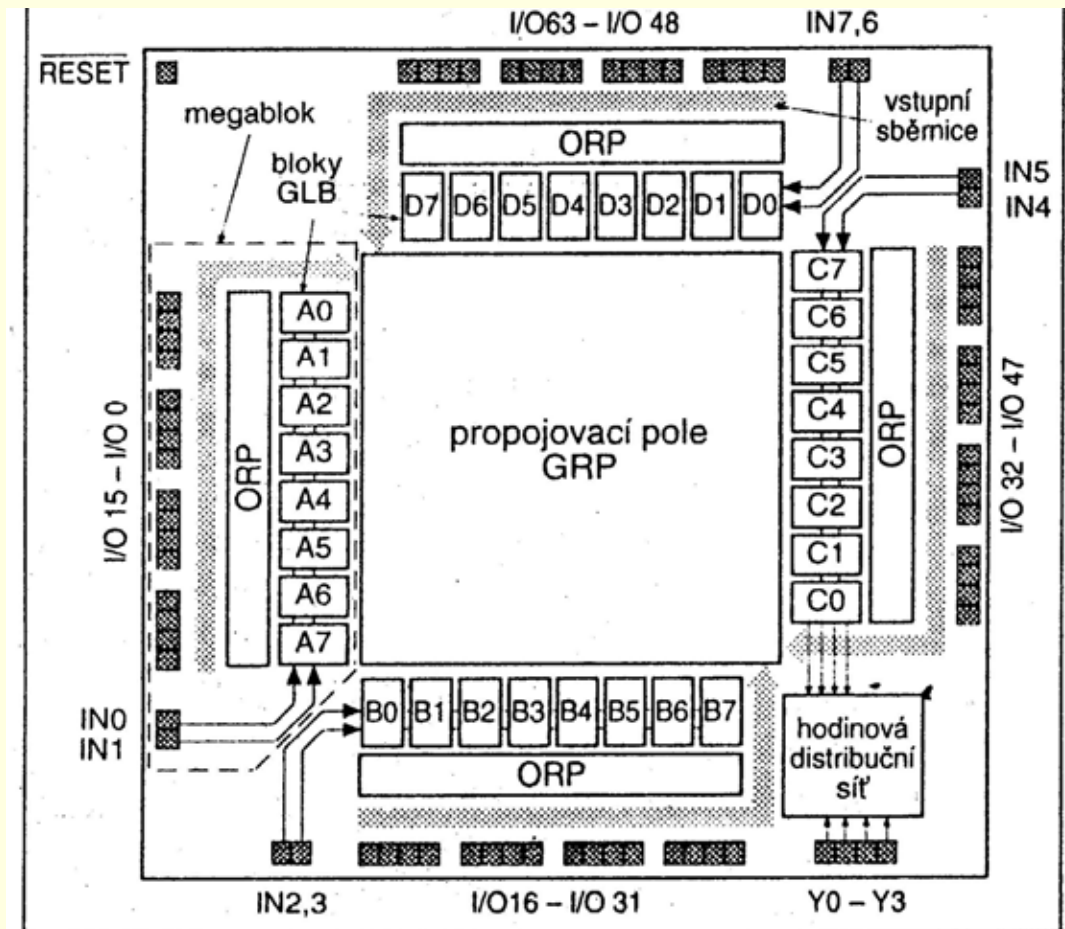


# 5.1 Lattice pLSI a ispLSI

- programmable Large Scale Integration (pLSI)
- ispLSI (in- system- programovateľných priamo v aplikácií)
- technológia EECMOS

## Vlastnosti:

- vysoká rýchlosť,
- predvídateľné oneskorenie,
- nízka spotreba,
- flexibilná architektúra,
- Jednoduché použitie.



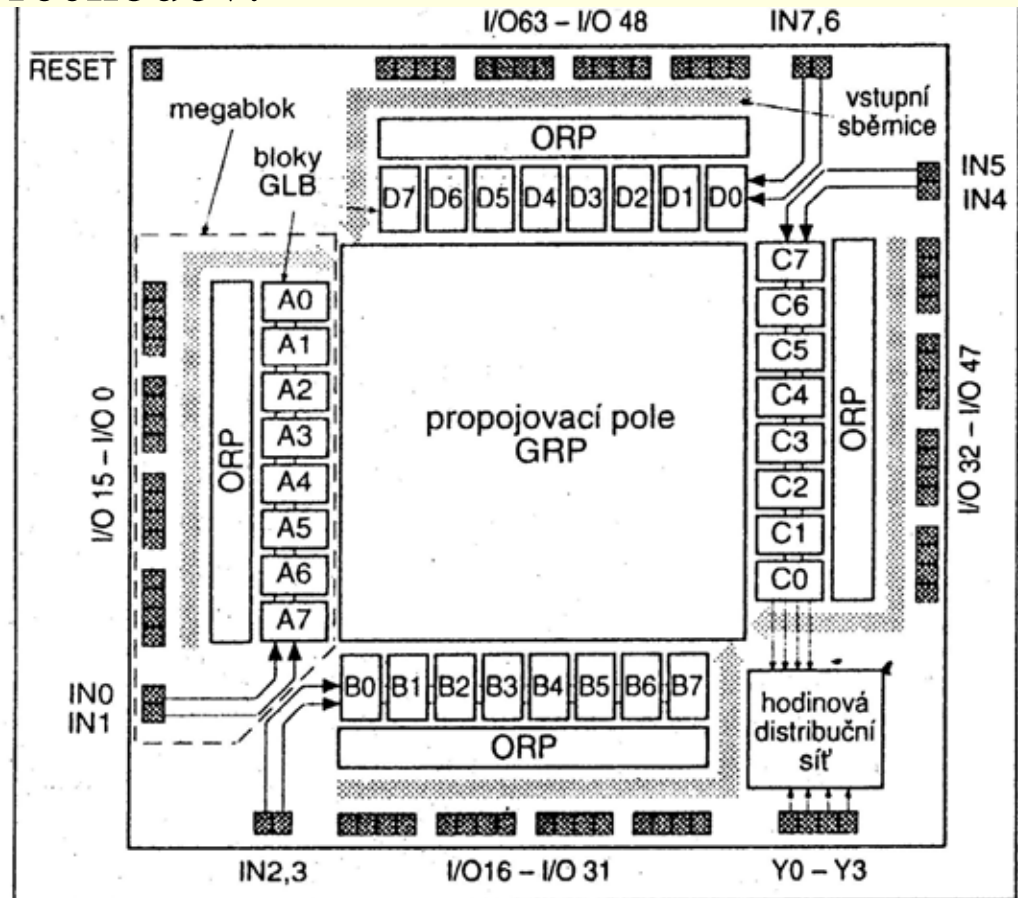
# 5.1 Lattice pLSI a ispLSI

## Global Routing Pool (GRP)

- prepája celú internú logiku a sprístupňuje ju užívateľovi,
- umožňuje kompletne prepojenie s pevne definovaným a odhadnuteľným oneskorením prechodov.

## I/O bunky

- sú priamo pripojené k V/V vývodom,
- každá môže byť individuálne naprogramovaná ako:
  - kombinačný vstup,
  - kombinačný výstup,
  - obojsmerný V/V- trojst.
- urovne signálu kompatibilné s TTL.

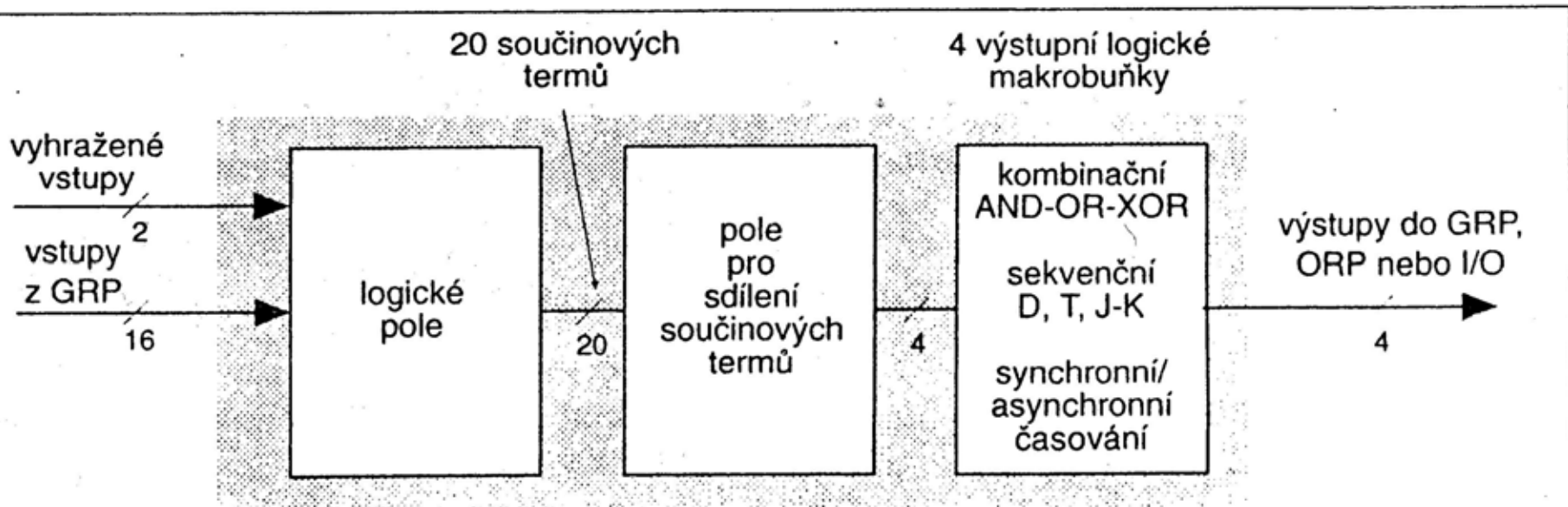


# 5.1 Lattice pLSI a ispLSI

## Generic Logic Block (GLB)

-hlavný logický blok štruktúry pLSI/ isPLSI. Na Obr. je príklad rodiny 1000 a 2000 s logickými blokmi s 18 vstupmi a 4 výstupmi (všetky vedené do prepojovacieho poľa GRP tak, aby mohli byť použité ako vstupy iných blokov GLB).

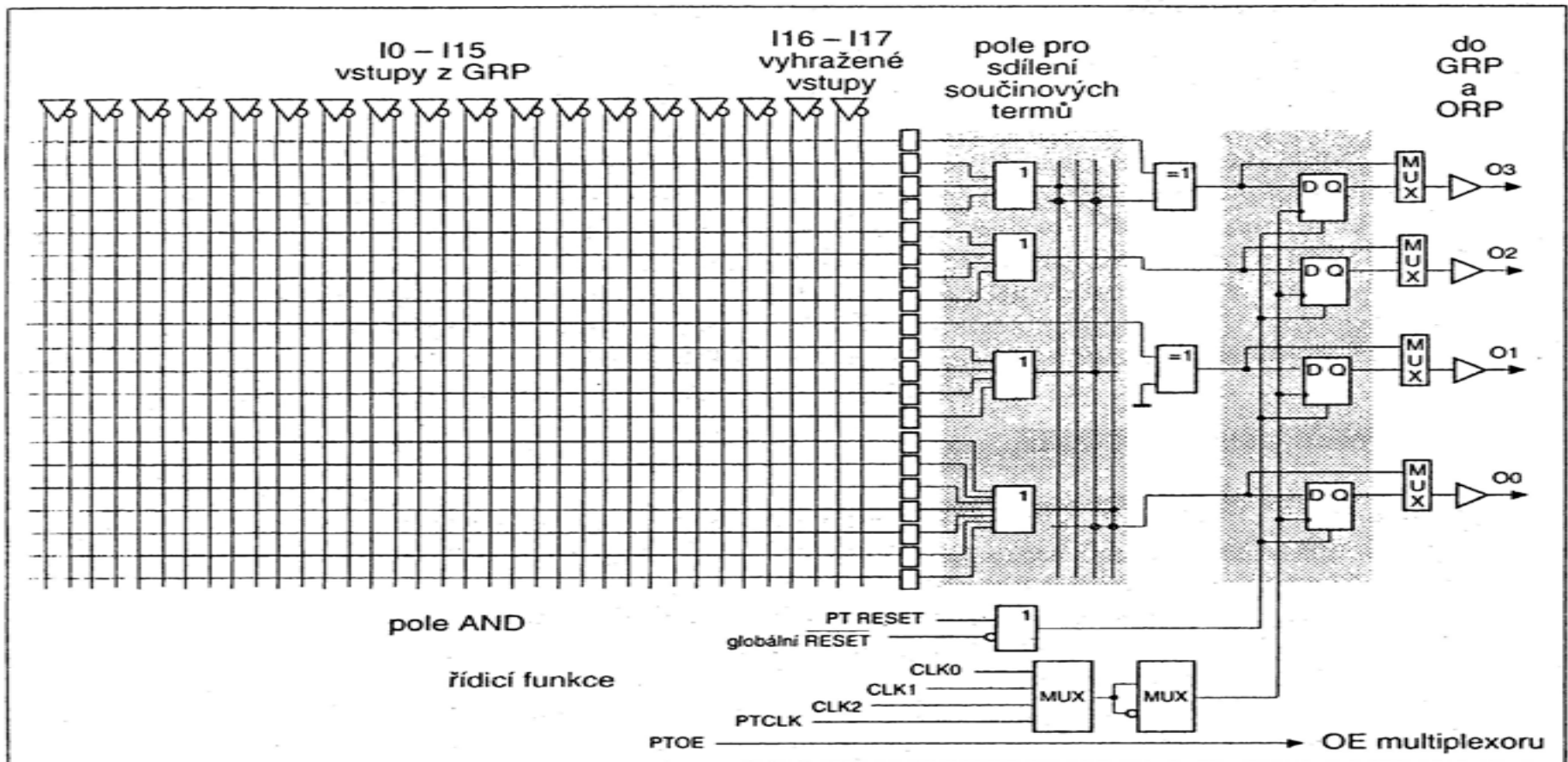
- jedinečným prvkom zvyšujúcim flexibilitu je Product Term Sharing Array (PTSA)



# 5.1 Lattice pLSI a ispLSI

## Product Term Sharing Array (PTSA)

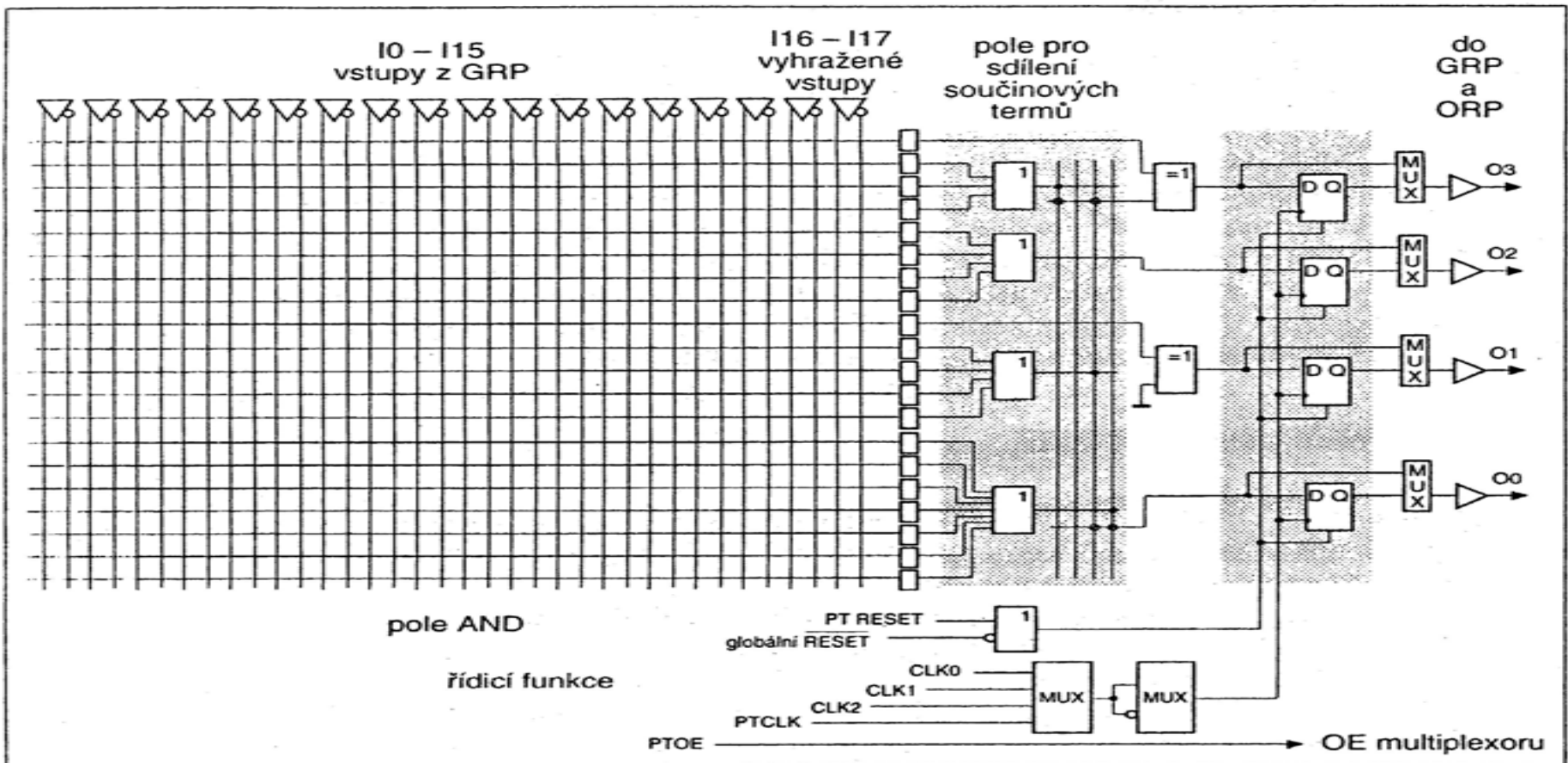
- pole ktoré umožňuje použiť ľubovoľný z 20 súčinových členov (výstupy poľa AND) pre ľubovoľný výstup bloku GLB- to podporuje napr. veľmi efektívne implementácie stavových automatov.



# 5.1 Lattice pLSI a ispLSI

## Output Logic Macrocell (OLMC)

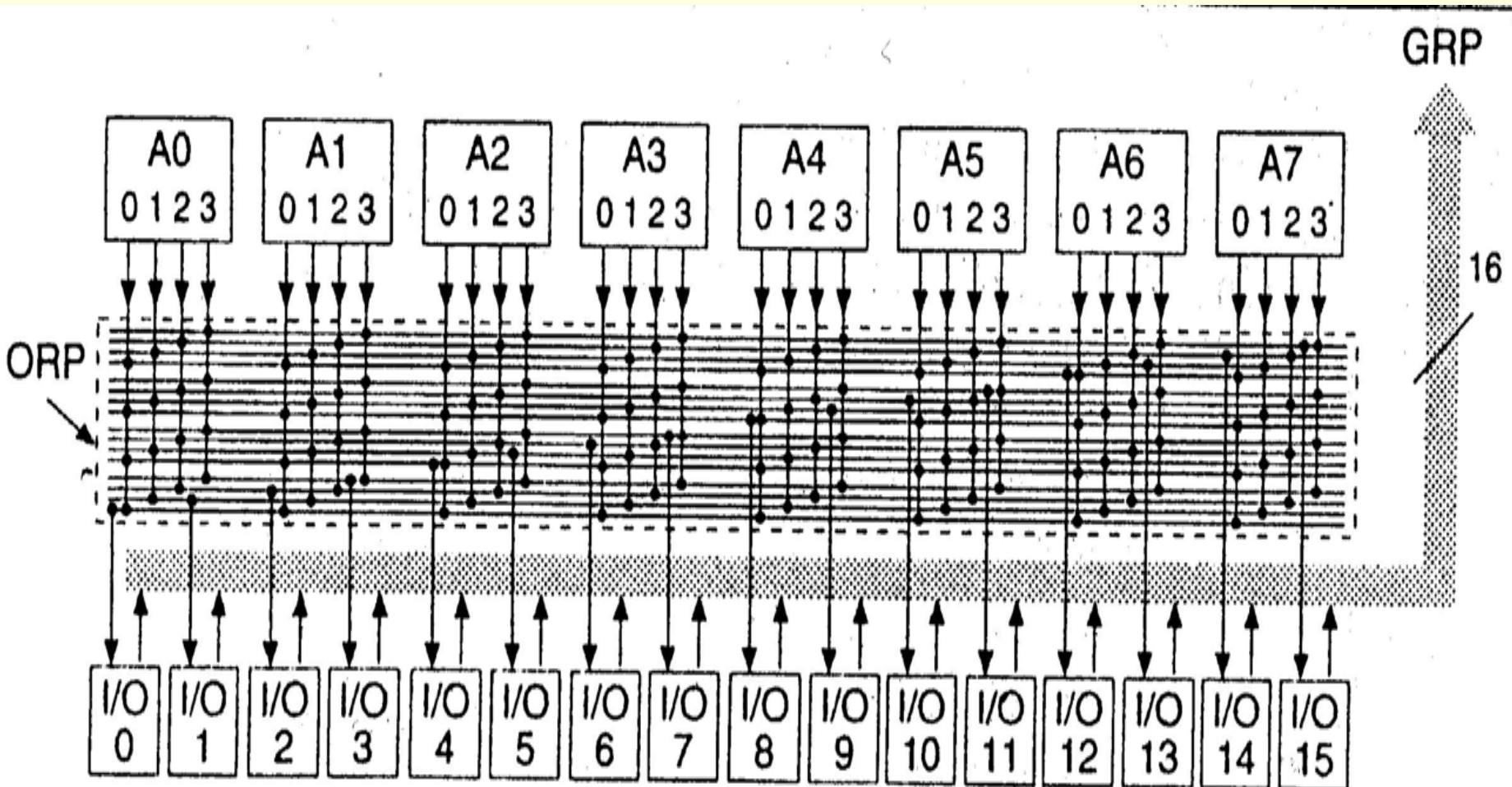
- umožňuje každý výstup GLB konfigurovat' ako kombinačný, alebo sekvenčný (riadený globálnymi synchronnými, alebo interne generovanými asynchronnými hodinovými signálmi).



# 5.1 Lattice pLSI a ispLSI

## Output Routing Pool (ORP)

- prepája výstupy GLB so V/V bunkami (Obr.).



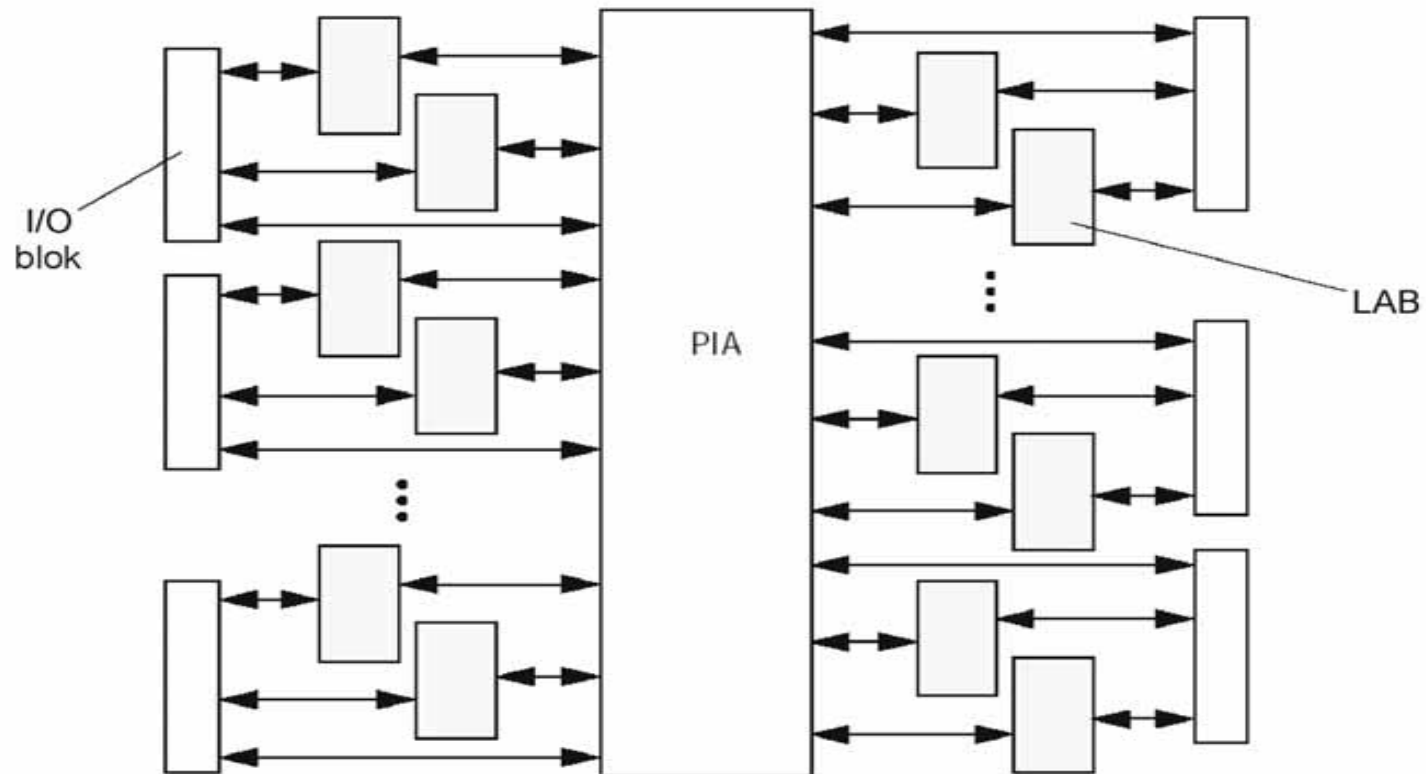
## 5.1 Lattice pLSI a ispLSI

Tabulka 1. Přehled obvodů pLSI a ispLSI

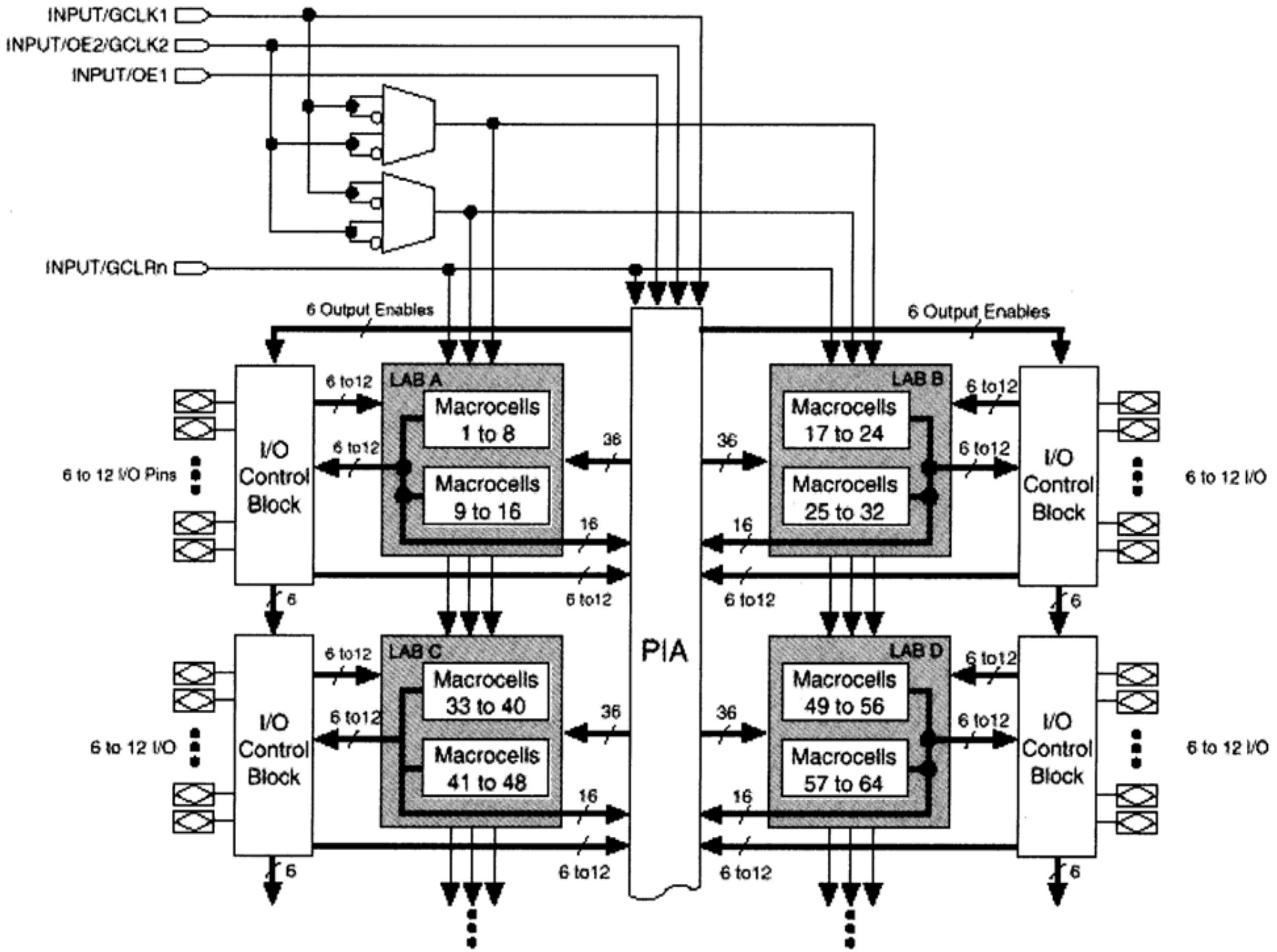
Obvod	1016	1024	1032	1048	2032	2064	2096	3192	3256	3320
počet hradel	2000	4000	6000	8000	1000	2000	4000	8000	11 000	14 000
$f_{\max}$ [MHz]	110	90	90	80	135	135	110	110	80	80
zpoždění $t_{pd}$ [ns]	10	12	12	15	7,5	7,5	10	10	15	15
počet makrobuněk	64	96	128	192	32	64	96	192	256	320
počet registrů	96	144	192	288	32	64	96	288	284	480
počet vstupů (I a I/O)	36	54	72	106	34	68	102	96	128	160
pouzdro PLCC	44	68	84		44	84				
pouzdro PQFP/TQFP			100	120		100	128	128	160	208
pouzdro PGA									167	207

## 5.2 Altera MAX 7000 CPLD

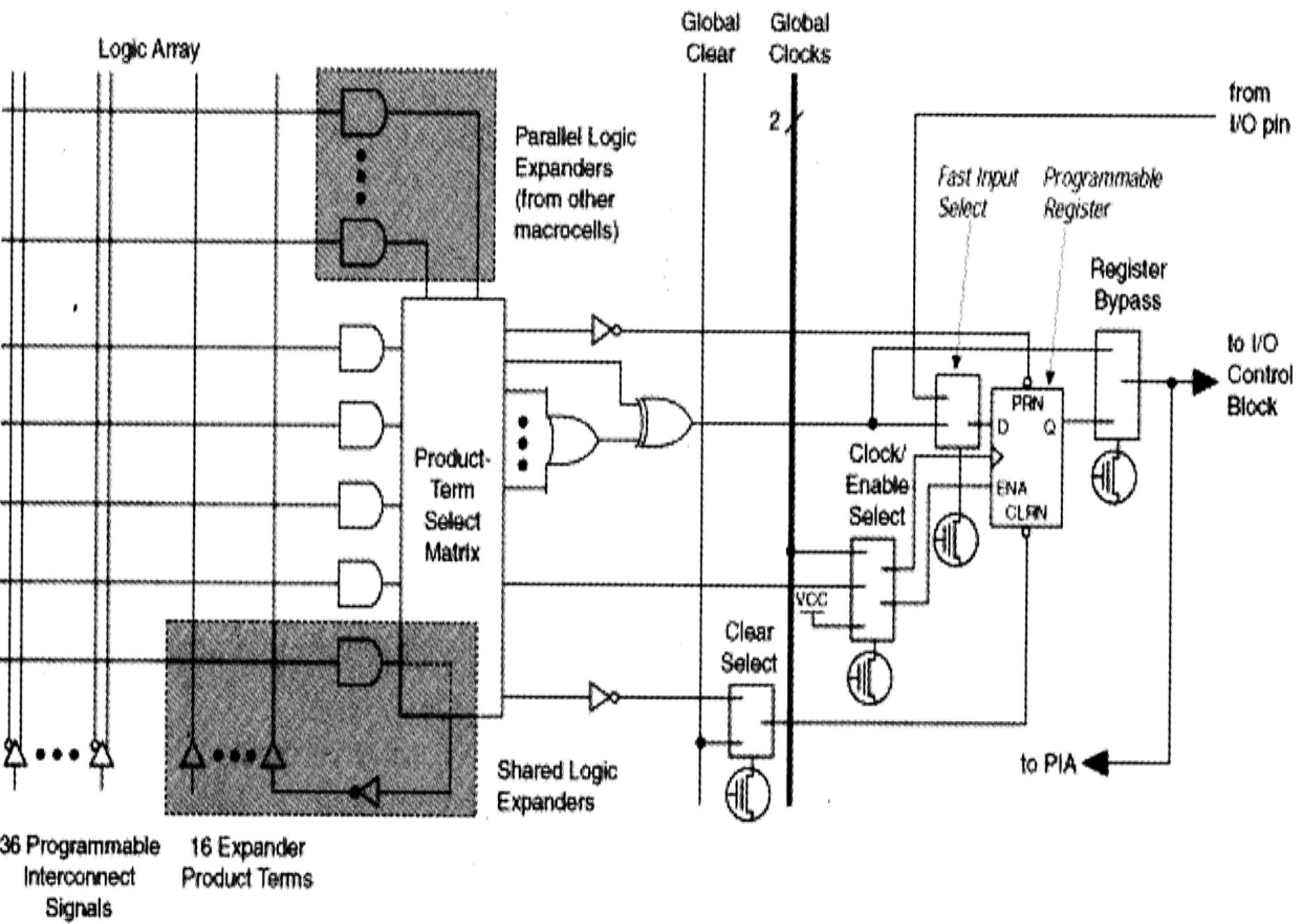
Obr. ukazuje základnú architektúru rodiny obvodov MAX 7000, ktorá sa skladá z polí logických blokov (Logic Array Blocks - LAB) a zo sústavy prepojovacích vodičov, ktorú budeme nazývať *programovateľné prepojovacie pole* (Programmable Interconnect Array – PIA). PIA môže navzájom prepájať vstupy alebo výstupy medzi jednotlivými LAB. Vstupy a výstupy čipu sa pripájajú priamo na PIA a LAB. LAB je zložitá logická štruktúra, podobaná SPLD štruktúre, preto môžeme považovať celý čip za pole vytvorené z SPLD obvodov.











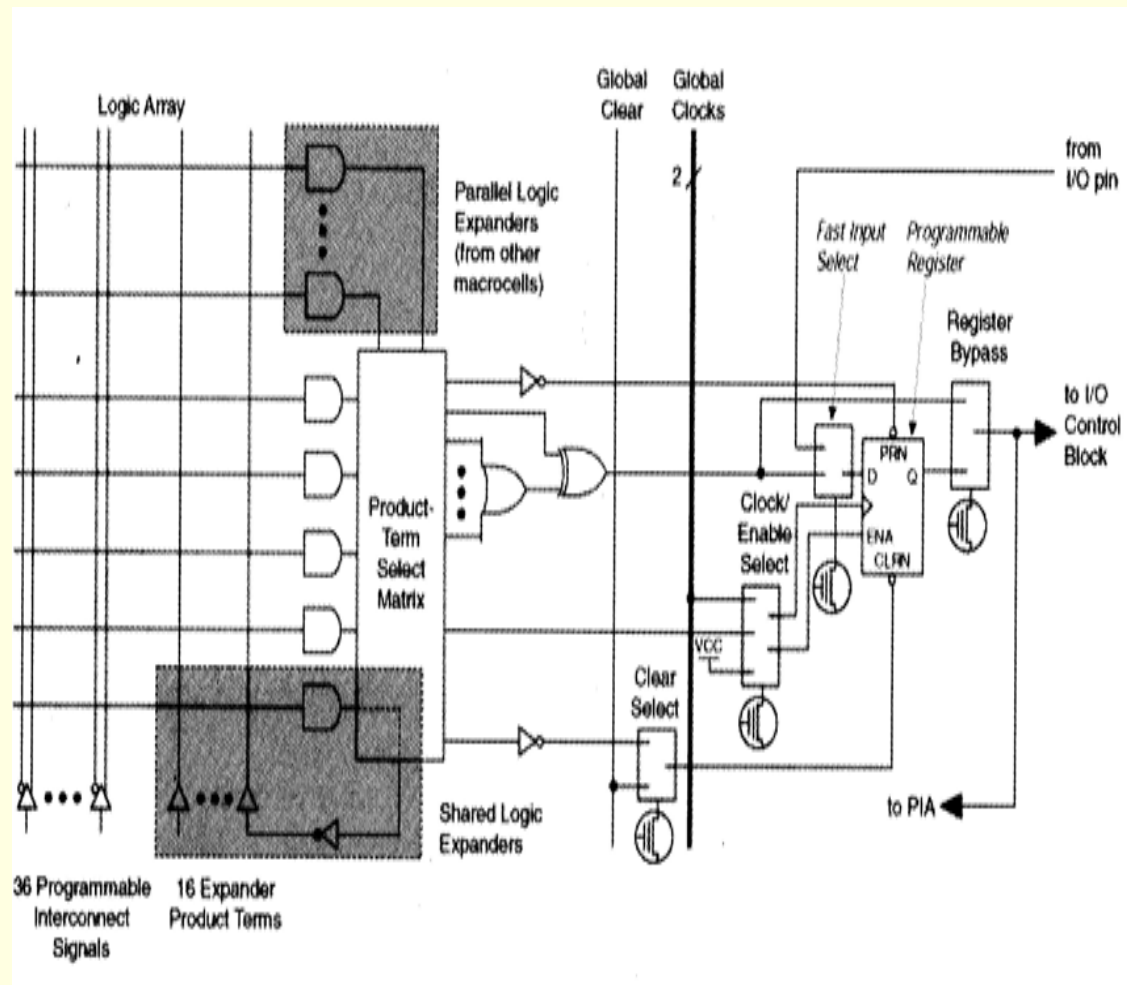
## 5.2 Altera MAX 7000 CPLD

Každý LAB sa skladá z dvoch skupín ôsmych makrobuniek. Makrobunka predstavuje skupinu programovateľných súčinových členov, ktoré sa pripájajú k OR hradlu a potom ku klopnému obvodu. Klopné obvody môžu byť typu JK, T, D alebo RS.

*Matica výberu súčinu* umožňuje pracovať s variabilným množstvom vstupov

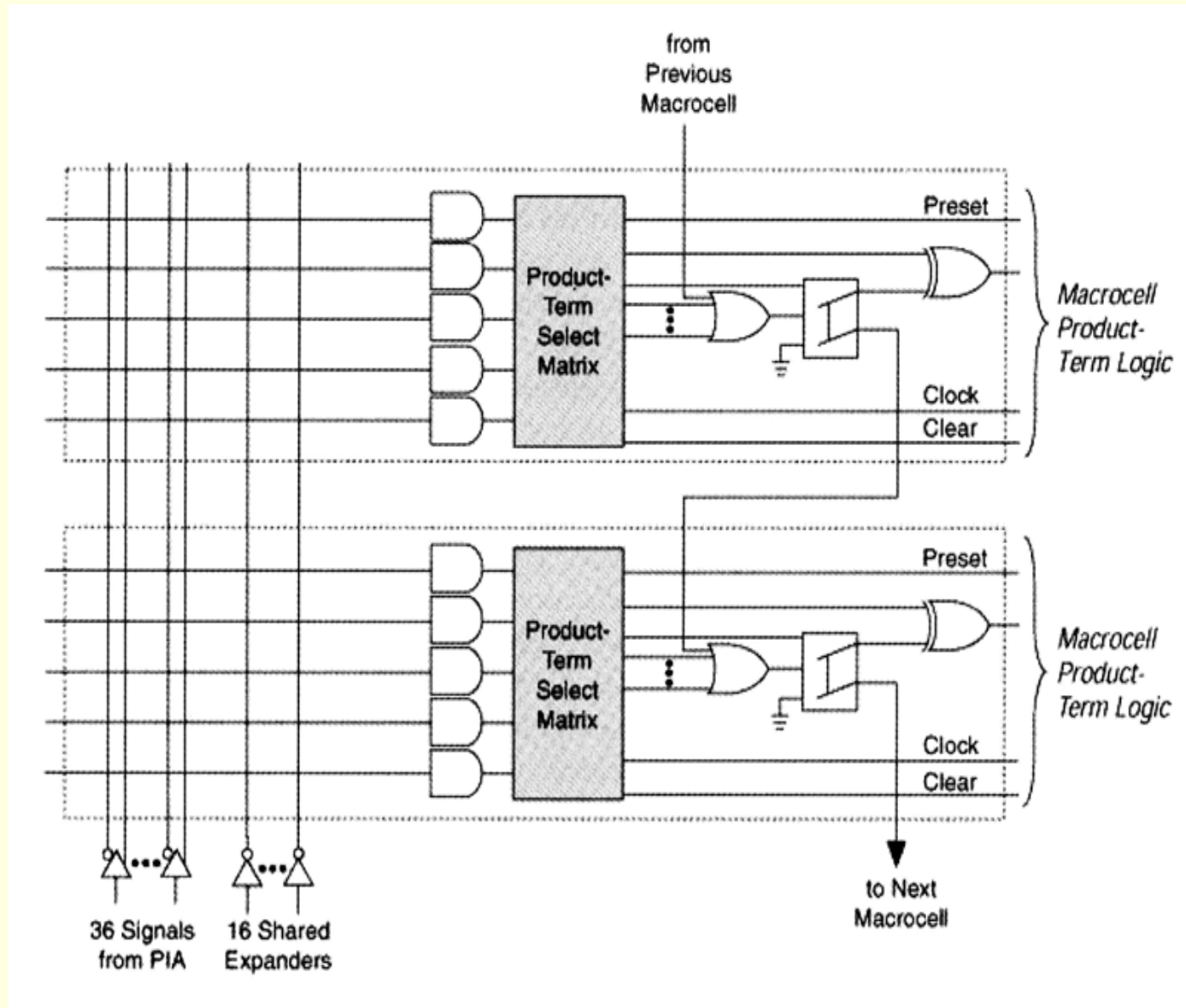
do hradla OR. K hradlu OR môže byť pripojených všetkých, päť súčinových členov makrobunky. Ak je ich potrebné pripojiť viac, môžu byť využité dodatočné súčinové členy z iných makrobuniek.

OR hradlo je pripojené cez hradlo XOR ku KO, ktoré môže byť premostené.



# 5.2 Altera MAX 7000 CPLD

Obr. ukazuje ako môžu byť využité súčinové členy medzi makrobunkami.



# 6 Architektúry a typy číslicových obvodov FPGA

---

- 6.1 Xilinx XC 4000
- 6.2 Altera FLEX 10K
- 6.3 Altera Cyclone

# 6 Architektúry obvodov FPGA

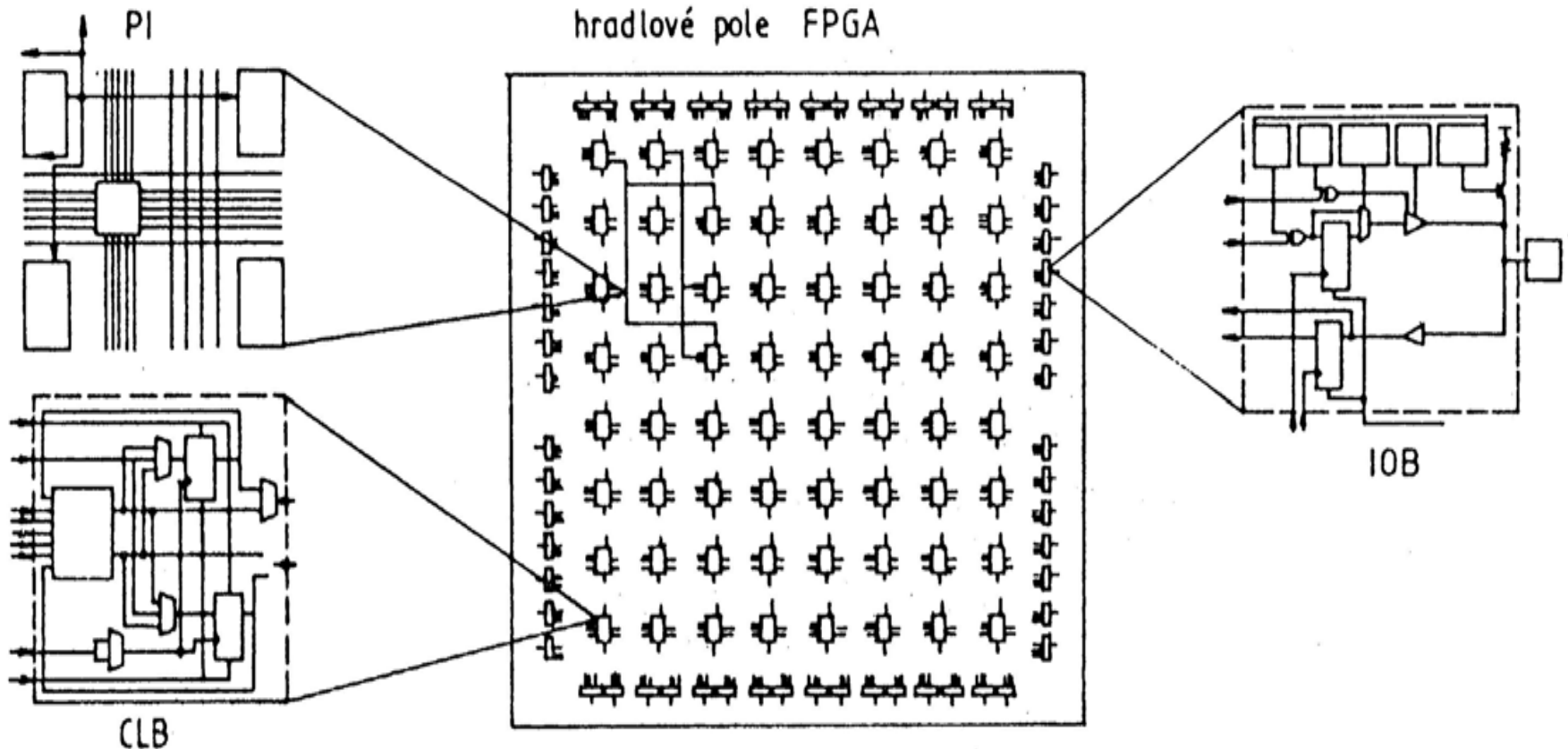
Hlavný komerčný výrobcovia sú uvedený v Tab.

Manufacturer	FPGA Products	WWW Locator
Actel	Act 1, 2 and 3, MX, SX	<a href="http://www.actel.com">http://www.actel.com</a>
Altera	FLEX 6000, 8000 and 10K, Mercury, APEX 20K (II), Excalibur, Stratix (II)	<a href="http://www.altera.com">http://www.altera.com</a>
Atmel	AT6000, AT40K	<a href="http://www.atmel.com">http://www.atmel.com</a>
Lattice	ispXPGA, ORCA	<a href="http://www.latticesemi.com">http://www.latticesemi.com</a>
QuickLogic	pASIC, Eclipse, Eclipse II	<a href="http://www.quicklogic.com">http://www.quicklogic.com</a>
Xilinx	XC3000, XC4000, Spartan (3), Virtex, Virtex II (Pro)	<a href="http://www.xilinx.com">http://www.xilinx.com</a>

## 6.3 Xilinx XC 4000

### Hlavné stavebné bloky:

- programovateľné spojovacie trasy (PI)
- konfigurovateľné logické bloky (CLB)
- V/V bloky (IOB)

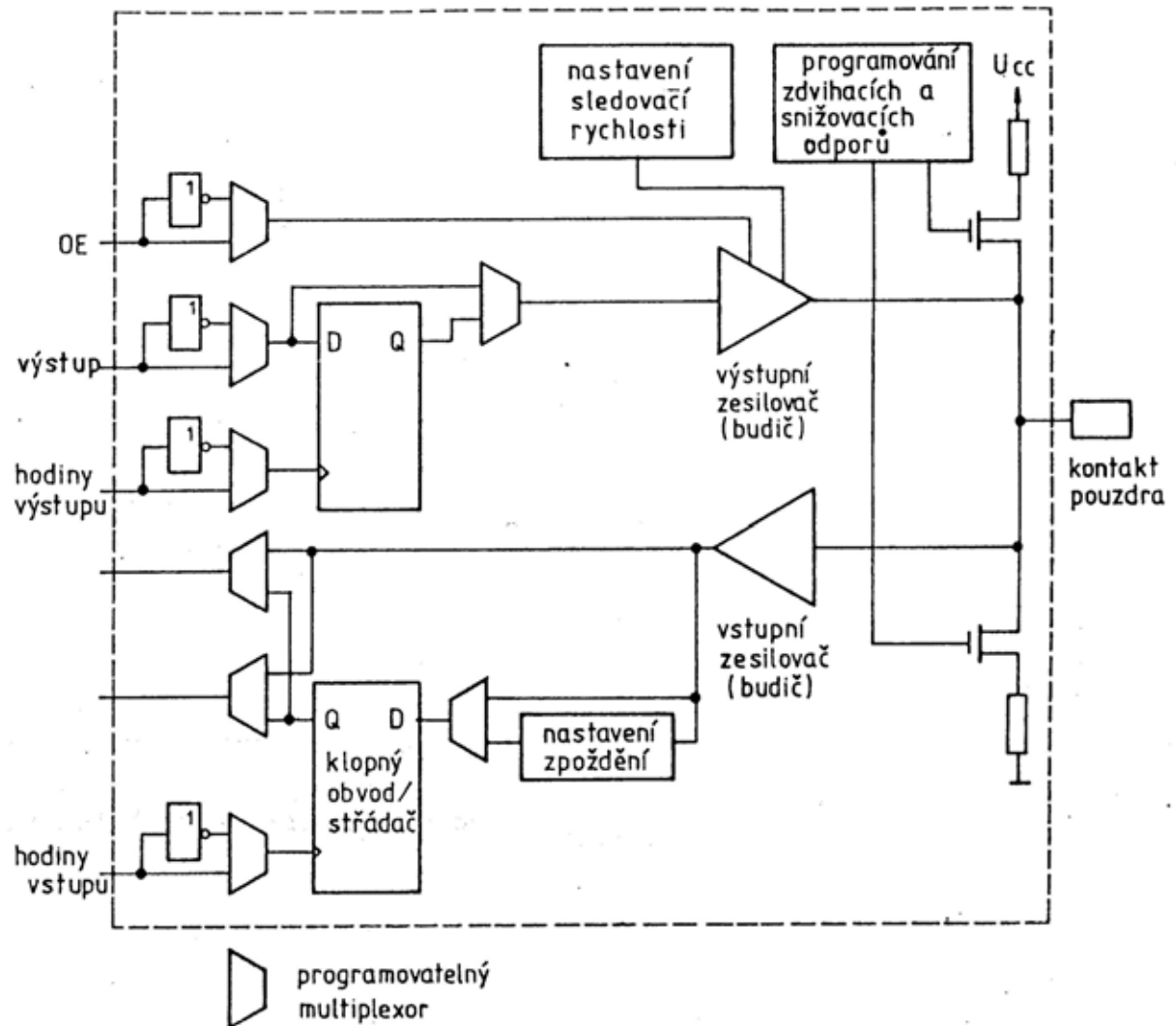




## 6.3 Xilinx XC 4000

**V/V bloky (IOB):** realizujú rozhranie medzi vývodmi puzdra a vnútornými signálovými cestami. Môžu byť naprogramované na prenos:

- vstupných,
- výstupných,
- obojsmerných sign.

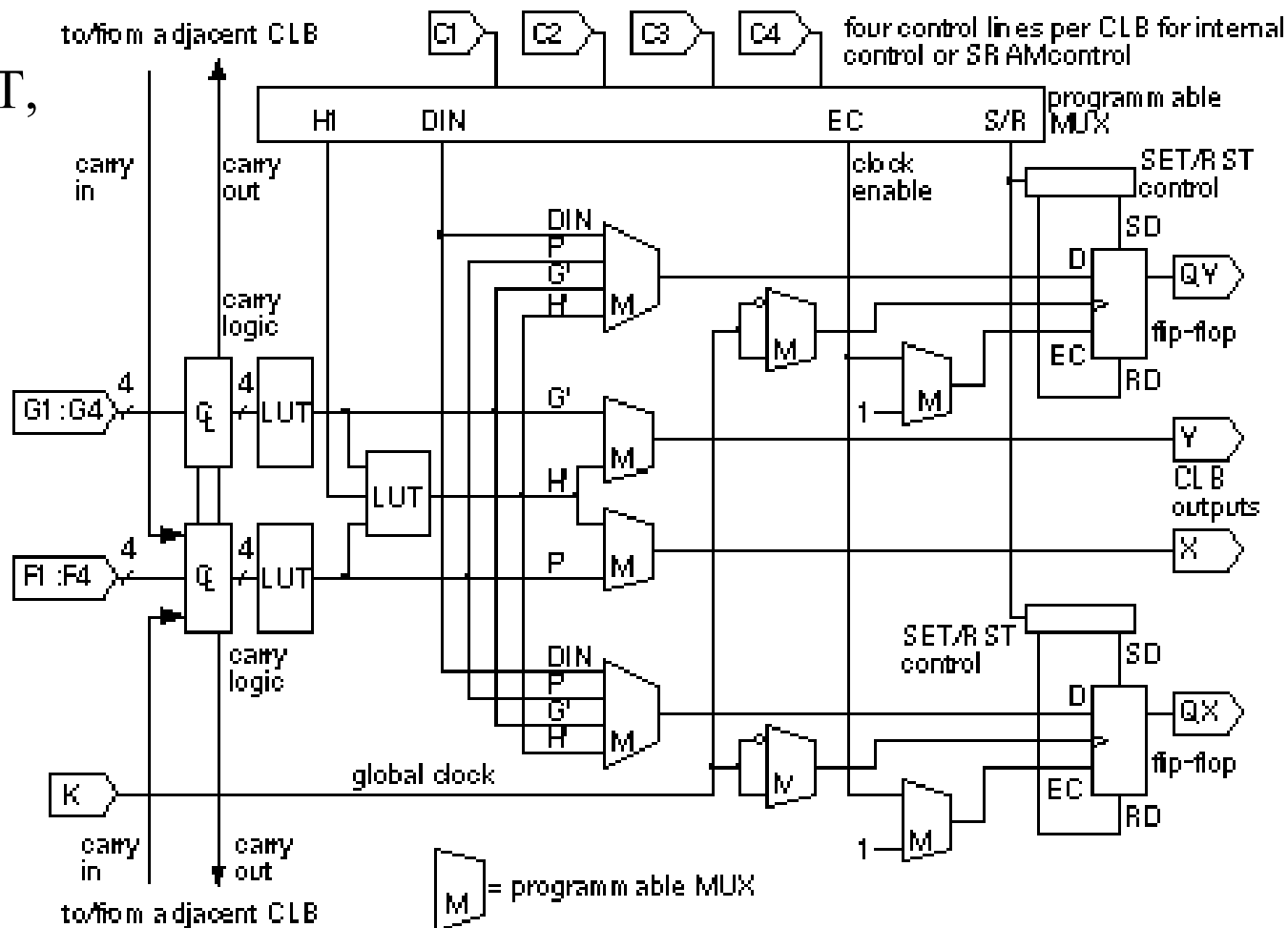


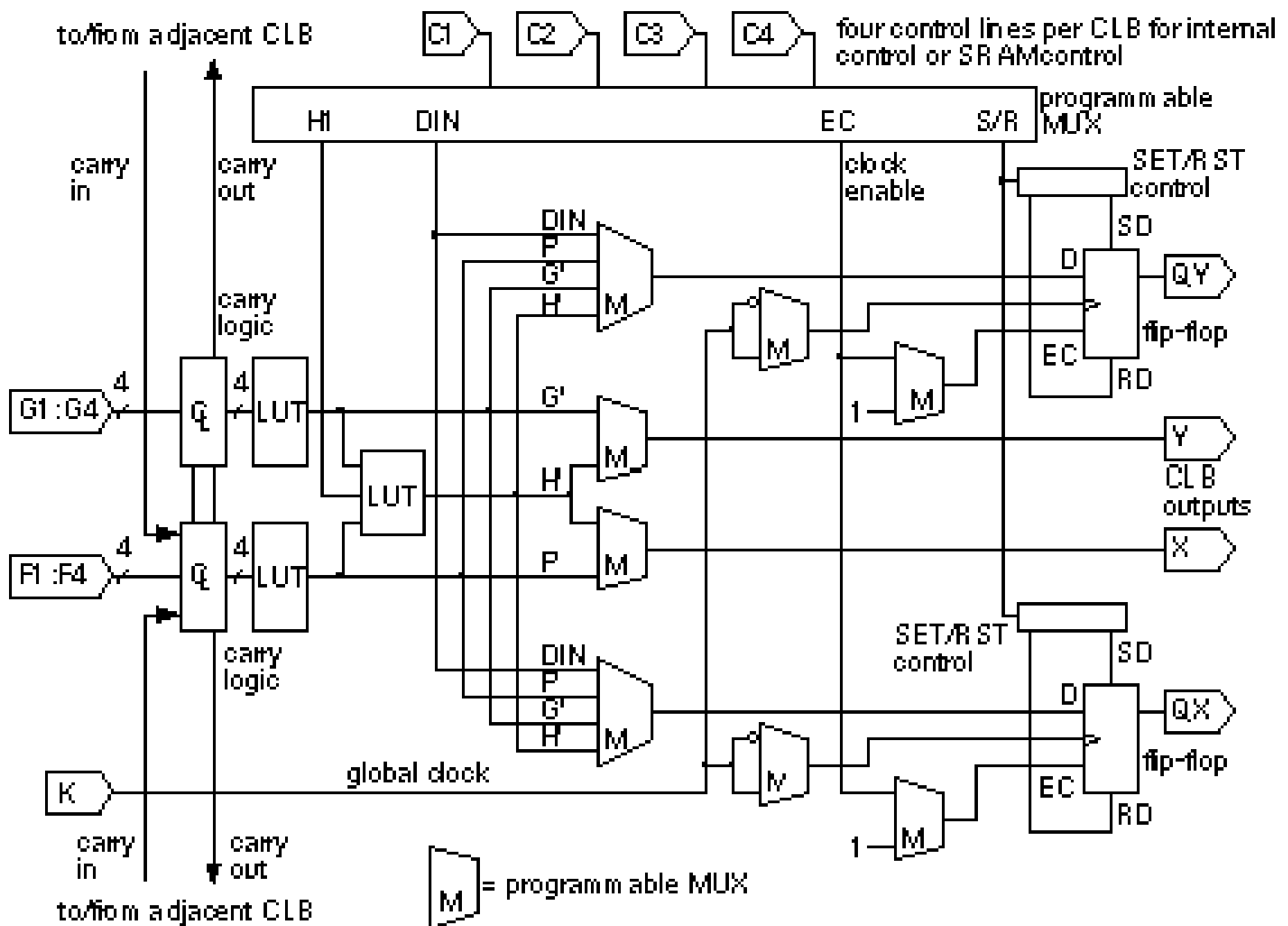
## 6.3 Xilinx XC 4000

**Konfigurovateľné logické bloky (CLB):** predstavujú funkčné prvky na vytvorenie užívateľskej logiky.

**CLB=** progr. multiplexery,

- dvojica KO,
- dvojica 4 vst. LUT,
- jedna 3 vst. LUT,
- 13 vstupov,
- 4 výstupy.





## 6.3 Xilinx XC 4000

Rodina XC 4000 hradlových polí LCA (Logic Cell Arrays) firmy Xilinx.

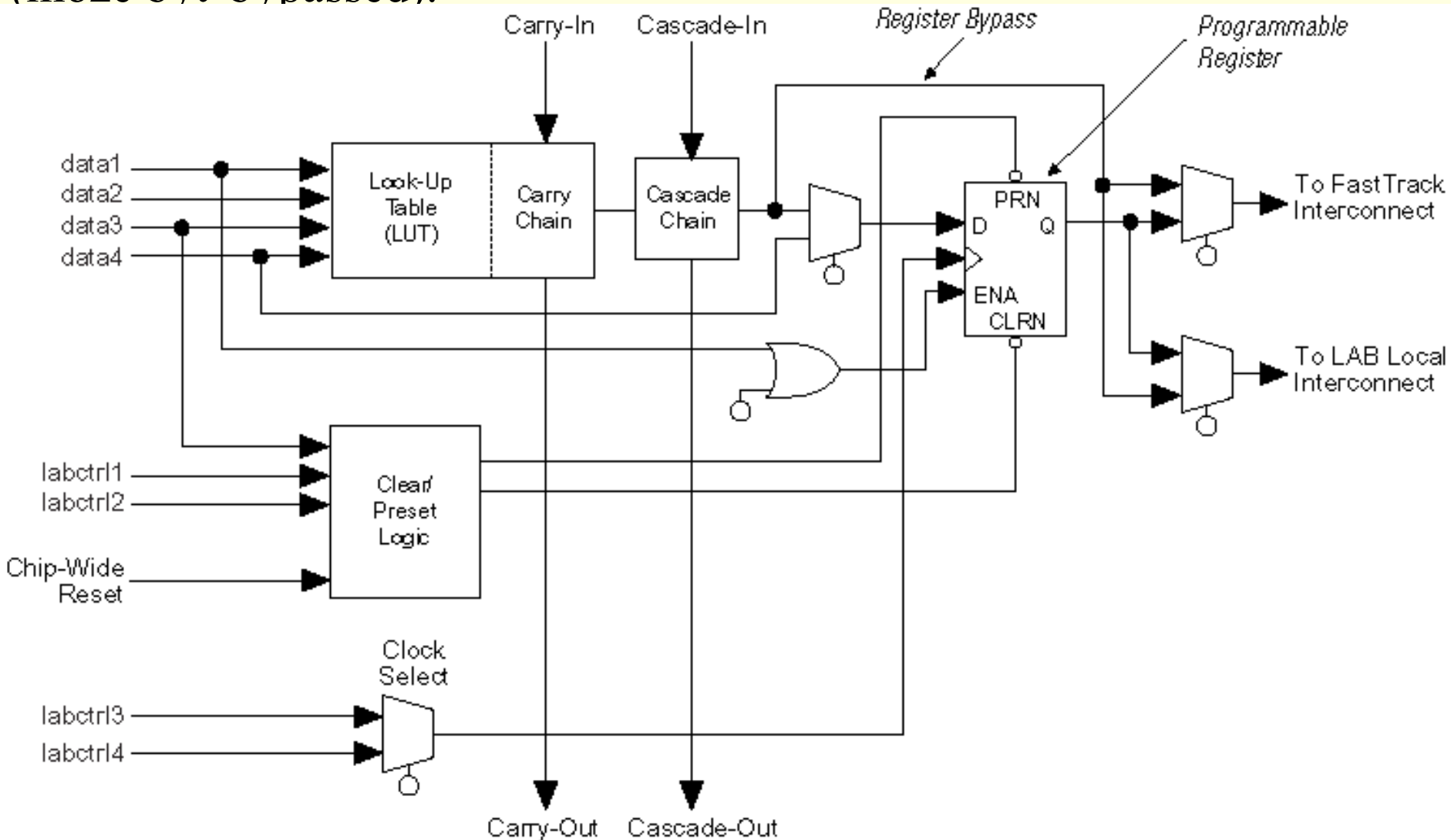
Označení	XC 4042	XC 4003	XC 4004	XC 4005	XC 4006	XC 4008	XC4010	XC 4013	XC4016	XC 4020
přibližný počet ekvivalentních hradel	2 000	3 000	4 000	5 000	6 000	8 000	10 000	13 000	16 000	20 000
rozměr matice bloků <i>CLB</i>	8 × 8	10 × 10	12 × 12	14 × 14	16 × 16	18 × 18	20 × 20	24 × 24	26 × 26	30 × 30
celkový počet bloků <i>CLB</i>	64	100	144	196	256	324	400	576	784	900
maximální počet bitů RAM	2 048	3 200	4 608	6 272	8 192	10 368	12 800	18 432	25 088	28 800
počet bloků <i>I/OB</i>	64	80	96	112	128	144	160	192	224	240





## 6.2 Altera FLEX 10K

Základným blokom LE je **LUT** (4 vstupová), ďalším prvkom je KO (môže byť bypassed).



## 6.2 Altera FLEX 10K

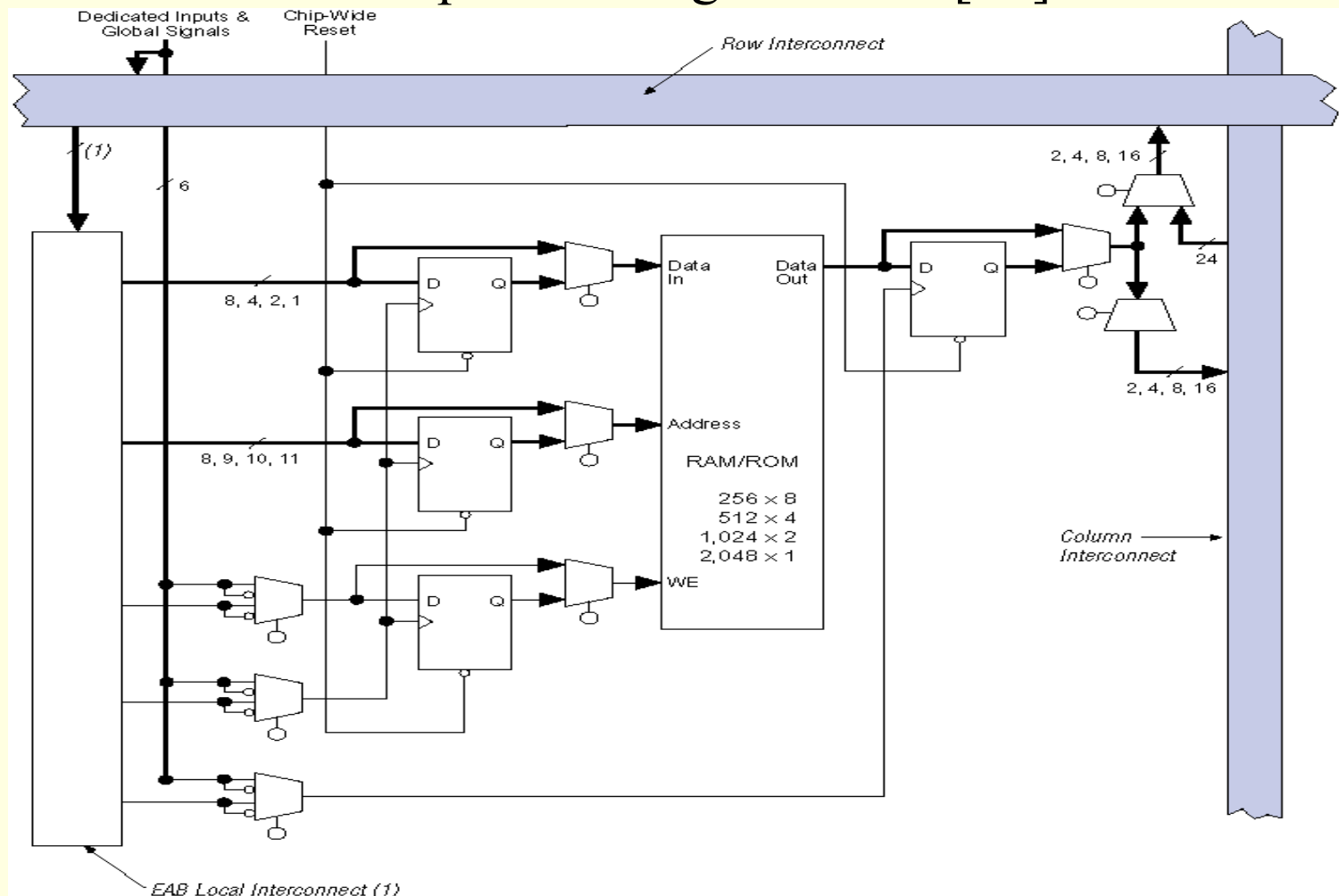
Štruktúra EAB je na Obr. Skladá sa z 2048 SRAM buniek (konfigurácia použitím LPM knižnice- *lpm\_ram\_dq*, *lpm\_rom*),  
-môžu byť použité na realizáciu pamätí s organizáciou [bit]:

- 256x8,

- 512x4,

- 1024x2,

- 2048x1.



17. 3. 2005



## 6.2 Altera FLEX 10K

V rodine FLEX 10K sú k dispozícií obvody 10K10 až 10K250, ktoré majú 10k až 250k ekvivalentných logických hradiel.

Sú k dispozícií obvody s rôznymi oneskoreniami (10K10-1/2)

Feature	EPF10K10 EPF10K10A	EPF10K20
Typical gates (logic and RAM) (1)	10,000	20,000
Maximum system gates	31,000	63,000
Logic elements (LEs)	576	1,152
Logic array blocks (LABs)	72	144
Embedded array blocks (EABs)	3	6
Total RAM bits	6,144	12,288
Maximum user I/O pins	150	189

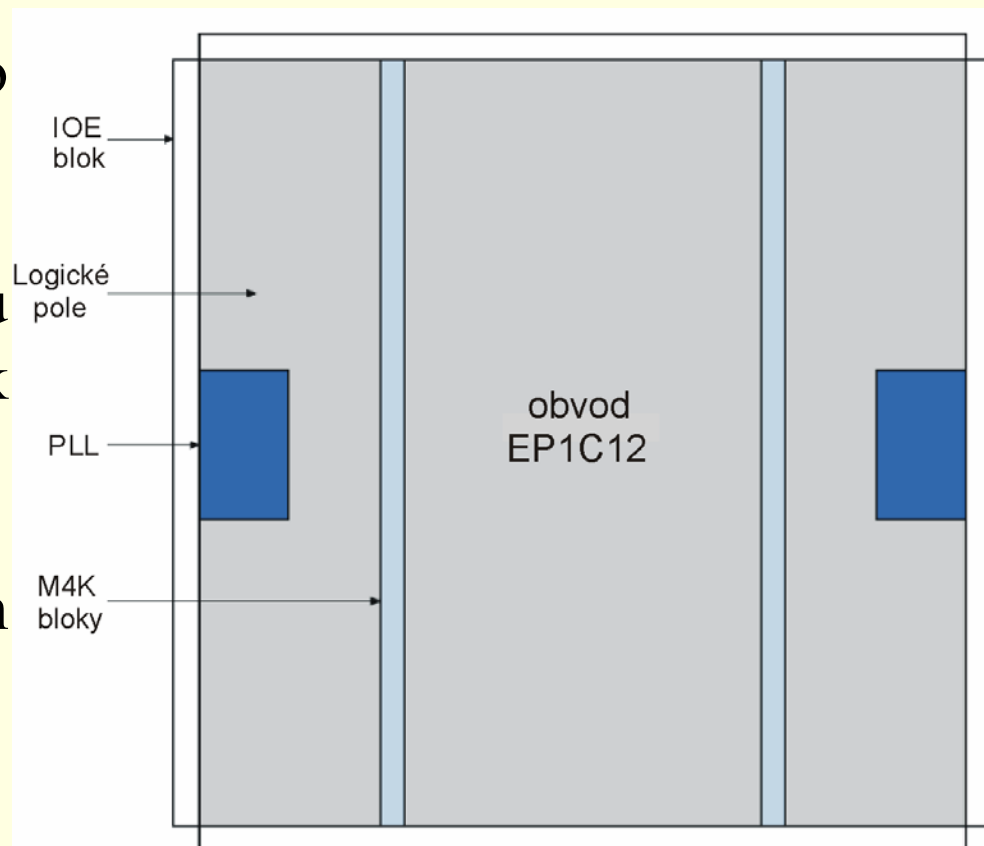
## 6.3 Altera Cyclone

Obvody Cyclone využívajú na realizáciu užívateľskej logiky dvojrozmernú architektúru (**riadky** a **stĺpce**- Obr.). Prepojenia riadkov a stĺpcov (s rôznou prenosovou rýchlosťou) zabezpečujú prepojenie signálu medzi **LAB** a **EAB**. **M4K bloky** sú DDR (Dedicate Double data Rate) pamäťové bloky RAM s kapacitou 4Kbit a s paritou (4 608 bit).

Tieto bloky sú usporiadané do stĺpcov uprostred určitých LABs.

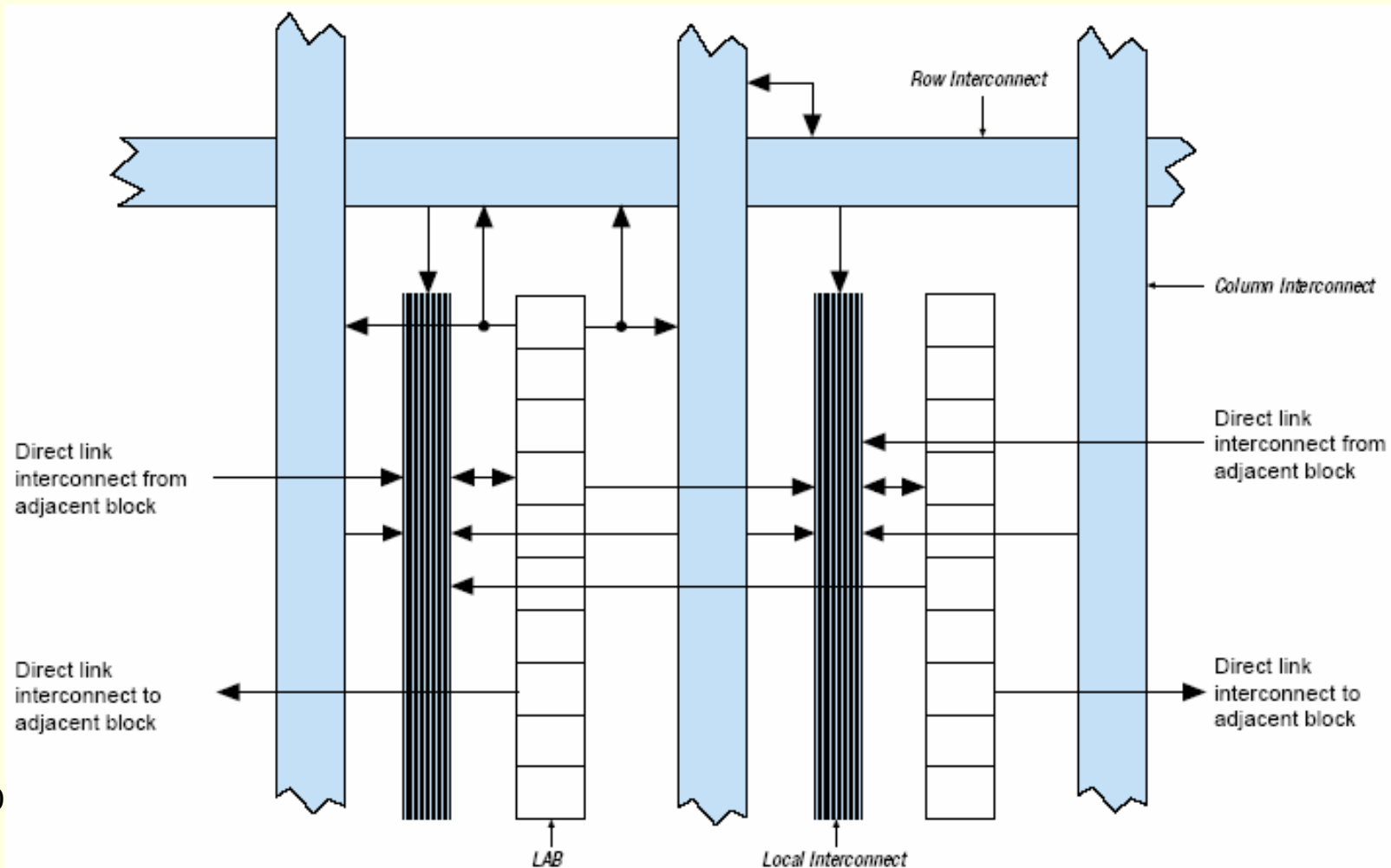
Obvody Cyclone poskytujú kapacitu vloženej RAM od 60k 288kbitov.

Poskytujú globálnu sieť hodín a maximálne dva **PLL**.



## 6.3 Altera Cyclone

Logické pole sa skladá z LABs, s 10 LEs v každom LAB. LE je malá logická jednotka poskytujúca výkonnú implentáciu užívateľských logických funkcií. LAB sú umiestnené v obvode do riadkov a stĺpcov.

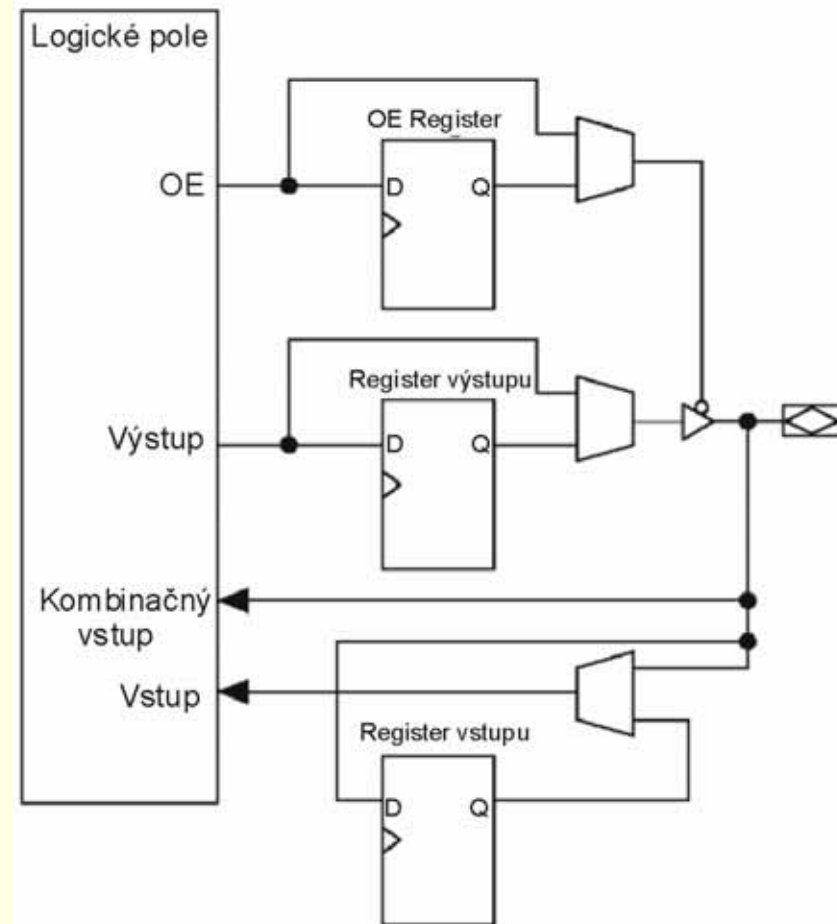




## 6.3 Altera Cyclone

Každý I/O pin v obvode Cyclone je buďený I/O elementom (IOE), ktorý je umiestnený na konci riadkov a stĺpcov LABs, okolo obvodu súčiastky. I/O piny podporujú rôzne jednoduché a diferenčné I/O štandardy. Každý IOE obsahuje obojsmerný I/O buffer a tri registre pre záznam:

- vstupných signálov,
- výstupných signálov,
- output- enable signálov.



## 6.3 Altera Cyclone

*Table 2-1. Cyclone Device Resources*

Device	M4K RAM		PLLs	LAB Columns	LAB Rows
	Columns	Blocks			
EP1C3	1	13	1	24	13
EP1C4	1	17	2	26	17
EP1C6	1	20	2	32	20
EP1C12	2	52	2	48	26
EP1C20	2	64	2	64	32

# Zadania ?

Dvojice !